

半導体デバイス工学 講義資料

第7章 Si半導体デバイスの製作技術

(p.115～p.152)

7. Si半導体デバイスの製作技術 (1)

7.1 製作工程(前工程)

7.1.1 クリーンルーム

7.1.2 Siウェーハ

7.1.3 洗淨工程

7.1.4 酸化工程

7.1.5 フォトリソグラフィ工程

7.1.6 不純物拡散工程

7.1.7 成膜工程

7.1.8 前工程における最近の技術動向

7. Si半導体デバイスの製作技術 (2)

7.2 組立工程(後工程)

7.2.1 ダイシング工程

7.2.2 マウント工程

7.2.3 ボンディング工程

7.2.4 封入工程

7.2.5 検査工程

7.3 Si半導体デバイスの製作方法

7.3.1 Siダイオードの製作手順

7.3.2 バイポーラSiトランジスタの製作手順

7.3.3 SiMOS電界効果トランジスタの製作手順

7.3.4 集積回路の製作手順

7. Si半導体デバイスの製作技術

プレーナ型の拡散型Si半導体デバイスの製作工程は大別して、

①pn接合形成工程(前工程)

②組立工程(後工程)

の2種類に分けられる.

pn接合工程

①洗浄工程

②酸化工程

③フォトリソグラフィ工程

④拡散工程

⑤成膜工程

組立工程

①ダイシング工程

②マウント工程

③ボンディング工程

④封入工程

⑤検査工程

ここでは、熊本電波高専・半導体デバイス製作室に設置された装置を例とした前工程の実施目的とその方法、並びに後工程について述べる.

7.1.1 クリーンルーム (1)

LSIの集積度が増すと共に、使用されるトランジスタや配線等の寸法は減少する。例えば数百万素子が集積されたチップのMOSTランジスタのゲート長は最小で $0.1\mu\text{m}$ 以下である。人の髪の毛の太さは $\sim 100\mu\text{m}$ でバクテリアやウィルスの大きさよりも小さな微細加工が行われているのである。

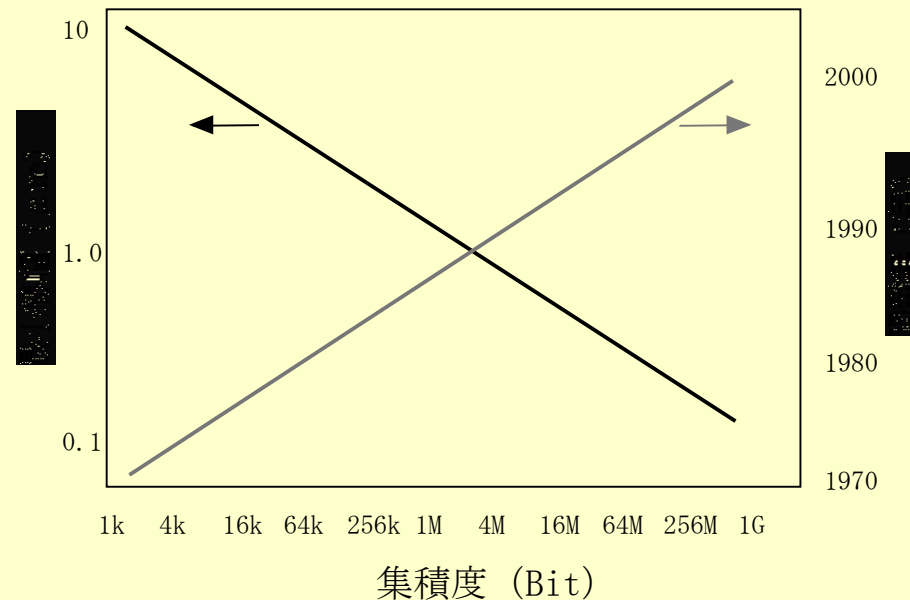


図7-1 DRAMの集積度と最小線幅、開発年の関係

7.1.1 クリーンルーム (2)

このようなレベルの微細加工は空気中の塵埃を取り除いたクリーンルーム内での作業となる。温度、湿度をコントロールされた空気をフィルタに通し、塵埃を取り除いた後、クリーンルーム内に供給する。一般に、フィルタを通った空気を天井から格子状の床に吹き下ろしたダウンフロー方式は良い清浄度が得られるが、設備や維持にコストがかかる。このため清浄度に応じて段階的に領域を分けてクリーンルームが作られている。

クリーンルーム内の製造装置及び装置間のウェーハ搬送は通常はほとんど自動化されている。クリーンルームで作業する際はクリーン服を着用し、エアシャワーを通過して、塵埃を持ち込まないようにする。



図7-2 クリーンルームの外観

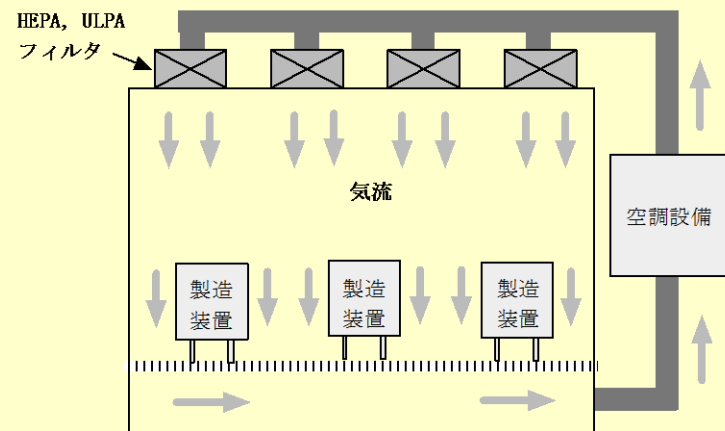


図7-3 クリーンルームの概念図

7.1.2 Siウェーハ (1)

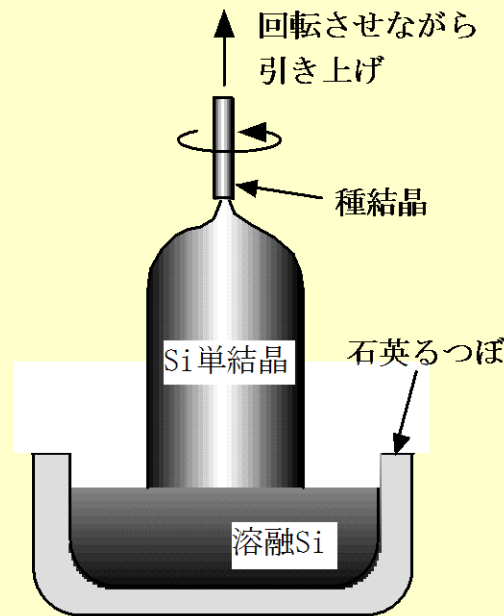
Siは日本語で「珪素(ケイソ)」と呼ばれ、地殻中元素の存在比率は26.77%で、酸素に次いで2番目に多い元素である。通常は酸素と結びついて、珪石(二酸化シリコン= SiO_2)の形で自然界に存在しているので、酸素を分離して純粋な金属Siを取り出す必要がある。原料となる高純度珪石は北欧や南米で採鉱されたものがほとんどである。アーク電気炉を用いて珪石を溶かし、これを炭素やグラファイトで還元(酸素を分離)して、金属Siを作る。次に、細かな粒に砕いて硫酸に溶かし、トリクロルシラン(SiHCl_3)を作る。さらにトリクロルシランから多結晶Siを熱分解法で作る。集積回路の基板として使われているSiは、99.999999999%以上(9が11個も並んだという意味でイレブン・ナインと呼ばれる)の超高純度の単結晶(single crystal)である。

インゴット状の単結晶Siを作る方法はCZ法(Czochralski法, 引上げ法)とFZ法(Floating Zone法=浮遊帯法)がある。

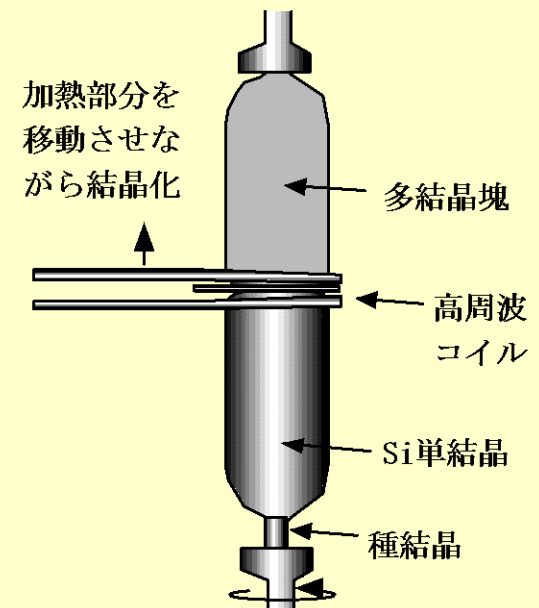
7.1.2 Siウェーハ (2)

CZ法: Siをルツボに入れて融かし、不純物を添加する。ピアノ線で吊したSi種結晶を接触させ、シードを回転させながら徐々に引き上げていくと、種結晶に従って単結晶が成長する。最近では、Si単結晶中の酸素濃度を抑えるMCZ法(Magnetic CZ法)が、ウェーハの大口径化とも関連して採用されつつある。集積回路の製造にはCZ-Si単結晶が広く用いられている。

FZ法: 棒状の多結晶Siを吊し、高周波コイルで加熱して部分的に帯状に溶かす。融液部分に小さな種結晶を接触させてから、帯状の溶解部分を上方に移動させ、全体を徐々に単結晶化させる。FZ法では、ルツボを用いないため酸素含有量を少なくできるが、ウェーハの大口径化が困難である。



(a) CZ法の概念図



(b) FZ法の概念図

7.1.2 Siウェーハ (3)

引上げ後は厚さ0.4mm程度のウェーハ状にスライスする。表面を機械化学的に研磨(ポリシング)して鏡面状態にする。最近では表面の平坦性の要求から両面研磨が増えている。一部のウェーハは、拡散炉に入れて窒素や水素雰囲気中で熱処理する。これはウェーハ表面近傍に無欠陥層を形成するためである。ウェーハの面方位を表すため、オリエンテーションフラット(平坦部), またはノッチ(切り込み)が入れられる。ウェーハの品質に関しては、キズや汚れがないことはもちろん、平坦度や反りに関する厳しい規格がある。

加えて抵抗率やキャリア寿命のほかに、初期酸素濃度、一定の熱処理に対する酸素の析出状態や表面近傍での微小欠陥の有無なども制御されている。



7.1.3 洗淨工程（1）

(1) 目的

ICの製造では、微小パーティクル(粒子)や微量不純物も、高性能・高信頼性・高歩留りを実現するうえで大敵になる。ICの製造ラインは非常に清浄な環境で、パーティクルや不純物(有機・無機)の持込みや発生が極めて少なくなるよう工夫されている。それでも、ウェーハの保管・搬送・ハンドリングなどで微量な汚染に曝されることを100%避けることはできない。またそれ以上に、実際には装置そのものや、装置内での工程の結果としてウェーハが汚染されてしまう。そのため、プロセスの間に洗淨工程を入れてウェーハをきれいな状態にする必要がある。

(2) 洗浄方法

洗浄にはさまざまな方法があるが、現在は薬液によるウェット洗浄が主である。ウェット洗浄液にはいくつかの種類があり、それぞれ汚染の種類により除去効果が異なる。したがって、単独の薬液ではすべての汚染を除去できず、工程によっては使えない液もあるので、工程に合わせてこれらを組み合わせて用いる。

表7-1 主な洗浄液とその特徴

洗浄名	薬液	特徴
APM 洗浄	$\text{NH}_2\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (水酸化アンモン/過酸化水素水/水)	パーティクル，有機物の除去効果大
FPM 洗浄	$\text{HF}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (フッ酸/過酸化水素水/水)	金属の除去効果大，自然酸化膜除去
HPM 洗浄	$\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (塩酸/過酸化水素水/水)	金属の除去効果大
SPM 洗浄	$\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ (硫酸/過酸化水素水)	金属，有機物の除去効果大
DHF 洗浄	$\text{HF}/\text{H}_2\text{O}$ (フッ酸/水)	金属の除去効果大，自然酸化膜除去
BHP 洗浄	$\text{HF}/\text{NH}_4\text{F}/\text{H}_2\text{O}$ (フッ酸/フッ化アンモン/水)	自然酸化膜の除去効果大

ウェット洗浄の代表例としてRCA洗浄がある。このとき、洗浄効果を高めるために攪拌、加熱、あるいは超音波洗浄が利用される。フッ化水素酸水溶液は、自然酸化膜の除去に用いられる。

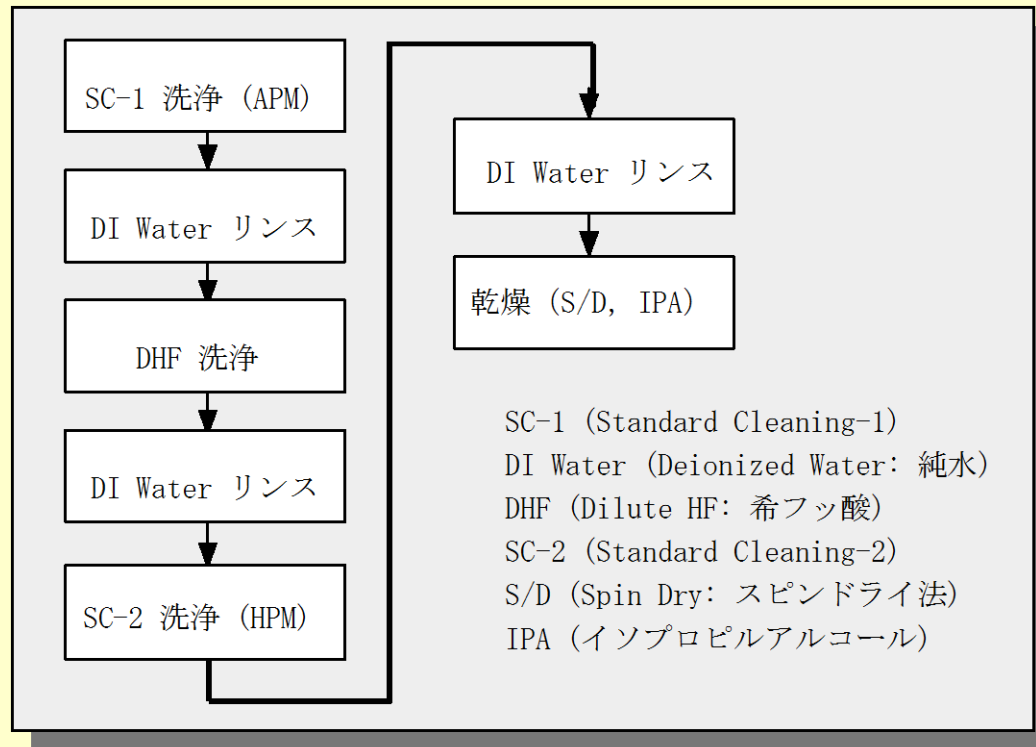


図7-5 RCA洗浄フロー

これらに使用する水も純度の高いものが要求される。通常は、純水（ $\sim 1\text{M}\Omega\cdot\text{m}$ ）または超純水（ $\sim 10\text{M}\Omega\cdot\text{m}$ ）が利用される。洗浄工程は、換気機能をもったドラフタ内で行う。洗浄後は純水で薬液を洗い流し、乾燥する。乾燥法にもいくつかの方法があり、回転による遠心力で水を飛ばすスピンドライ法、イソプロピルアルコール（IPA）の蒸発を利用した乾燥等が知られている。

そのほか、ドライ洗浄も一部で用いられている。ドライ洗浄には、 O_2 プラズマガスを用いた有機物の炭化除去、蒸気による気相エッチング、スパッタ洗浄、熱処理洗浄などがある。



図7-6 ドラフタの外観



図7-7 純水精製装置の外観

7.1.4 酸化工程

(1) 目的

酸化工程には、拡散領域形成用と電極領域形成用の2種類がある。Siは酸化することにより酸化シリコン膜(SiO_2)が表面に形成される。この膜は良質の絶縁物であり、次の特徴を有する。

- ①Si表面の電氣的に活性な準位を 10^{14}m^{-2} 以下に削減でき、Si表面の電氣的に不安定な特性を除去できる。
- ②素子間分離や素子と金属配線との分離に利用できる。
- ③ドナーやアクセプタなどの不純物を特定の場所に選択的に拡散させるときの拡散防止マスクとして利用できる。
- ④誘電体としてコンデンサに利用できる。
- ⑤MOS構造としてMOSFETのゲート絶縁膜に利用できる。また、①と同様にSiと SiO_2 の界面準位の減少によって優れたMOSTランジスタ特性が得られる。

(2) 酸化膜形成方法

SiO₂の形成法には、

- ①Siウェーハを1000～1200°Cに加熱した炉（酸化炉とよぶ）の中に入れて状態で酸素または水素を送り込む熱酸化法（thermal oxidization）
- ②化学的な反応により酸化物を作ってSi表面に付着させるCVD（chemical vapor deposition）法
- ③Siを電解液中で通電して酸化させる陽極酸化（anode oxidization）法などが一般的に知られている。

ここではドライ酸化法と水蒸気酸化法について説明する。ドライ酸化法は酸化ガスとして乾燥酸素（O₂）が、水蒸気酸化法では水蒸気（H₂O）および水蒸気を含んだ酸素または窒素（N₂）などが用いられる。酸化速度は乾燥酸素が遅く、水蒸気が速い。

純度の高い水蒸気を得るためには、水素燃焼式の方式が広く用いられている。このシステムで酸素ガスのみを流せば、乾燥酸素による酸化膜が成長する。

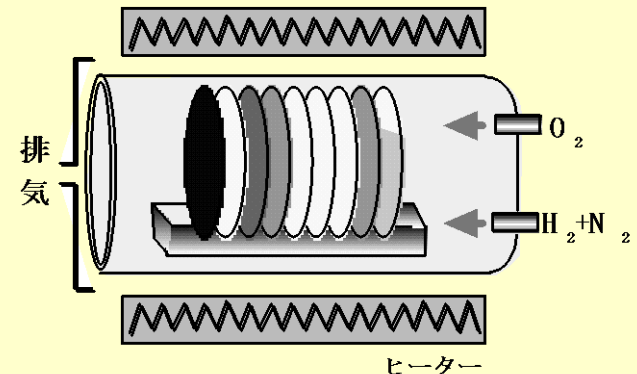


図7-8 水素燃焼による水蒸気酸化の概念図

酸化炉の中でSiウェーハが高温に熱せられると、酸素分子が表面に衝突して酸化反応が起こり、酸化膜が成長する。このとき、ガス状態に再び戻る衝突した酸素分子も発生する。酸化の初期では、酸化膜の厚さは衝突した分子数、すなわち酸化時間に比例する。酸化膜が厚くなると、成長した酸化膜が酸素分子とSiとの接触を妨げるようになる。この状態では、酸化膜の厚さは酸化時間の平方根に比例する。水蒸気酸化の場合、成長速度は大きい。これは酸化膜中の水蒸気の拡散係数が酸素のそれに比べて大きいためである。多くの研究結果から、酸化膜厚(x)は次の実験式で得られている。

$$\text{ドライ酸化} \quad x^2 = 21.2t \exp\left(-\frac{E_a}{kT}\right) \quad (7.1)$$

$$\text{水蒸気酸化} \quad x^2 = 7.6t \exp\left(-\frac{E_a}{kT}\right)$$

ここで、 t は酸化時間、 T は酸化温度である。また、 E_a は活性化エネルギーで、ドライ酸化と水蒸気酸化のそれはそれぞれ約1.3と0.8eVである。



図7-9 酸化炉の外観 (水蒸気酸化)

7.1.5 フォトリソグラフィ工程 (1)

(1) 目的

平面方向に任意の形状を有するpn接合を形成するためには、酸化膜や堆積膜を所望の形状に加工する必要がある。これにはフォトリソグラフィ工程を用いる。酸化膜を任意のパターンに加工した後に、次項で述べる不純物拡散工程を行い、酸化膜が存在しない部分にnまたはp形領域を形成する。

(2) フォトマスク作製

集積回路レイアウトを基板に転写するためにはフォトマスクが必要である。フォトマスクは、紫外線の透過性のよい石英ガラスに遮光材としてクロム膜をつけたものが用いられる。最初にパターンジェネレータ(PG)を用いて、実際のパターンの10倍程度に拡大されたレチクルを作製する。PGは、計算機により制御された光ビームや電子ビームを用いて、パターンを乾板上に描く装置である。レチクルを縮小しながら露光する方法と、等倍のマスクを用いて露光する方法がある。等倍で露光する場合は、レチクルのさらに縮小し、配列してフォトマスクが完成する。集積回路の製作には、最低でも4~7枚のマスクが必要である。

7.1.5 フォトリソグラフィ工程 (2)

(3) 方法

フォトリソグラフィ工程は、フォトレジストとよばれる紫外線に対する感光性有機材料を用い、フォトレジストの塗布、露光、現像およびエッチングによって所望の形に加工する一連の工程である。フォトリソグラフィ工程は半導体素子の寸法を決定する重要な工程である。したがって、次の点に注意する必要がある。

(i) 清浄な雰囲気中(クリーンルーム)またはクリーンベンチ内で行う。

(ii) フォトレジストが感光しないように紫外光を除去した黄色の照明の下で作業を行う。

工程には、①フォトレジスト塗布、②プリベーキング、③フォトマスク合せ④露光、⑤現像、⑥ポストバーク、⑦エッチング、⑧フォトレジスト除去と洗浄がある。

以下、酸化膜のエッチングを例にあげて説明する。

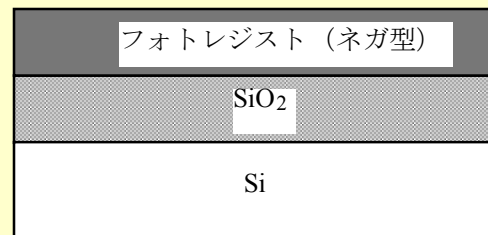
①フォトレジスト塗布

フォトレジストは感光性の有機材料である。これは、光（主として紫外線）によって反応を起こし、化学溶剤への溶解度が変化する。フォトレジストには、感光すると反応して硬化し不溶性になり、現像すると光のあたった部分が残るネガ形と、現像すると感光しなかった部分が残るポジ形の2種類がある。表面のSi酸化膜上に均一な厚さにフォトレジストを塗布する。これは、スピナ(コーター)にSiウェーハを吸着させた状態でフォトレジストを滴下させ、高速に回転させながら均一に塗布するのが一般的である。スピナの回転速度とレジスト液の粘度で膜厚が決定される。膜厚が薄いとピンホールが生じ、厚いと加工精度が悪くなる。

②プリベーキング

塗布後、フォトレジスト膜に残っている有機溶剤を除き、乾燥かつ適当に硬化させるため、約80°Cに保った恒温槽中で熱処理する。

フォトレジスト膜の酸化を防ぐために窒素雰囲気中で行う。



①フォトレジスト塗布
膜厚：3000～8000 Å

②プリベーキング
85～90°C、窒素雰囲気中で
レジスト中の有機溶剤を除き、
硬化させる。



図 7-1 1 スピナーの外観



図 7-1 2 恒温槽の外観

③露光

鮮明なパターンを得るため露光には波長の短い紫外線を用いる。縮小露光では、ステッパー装置を用いてレチクルのパターンを基板に光学的に縮小投影してチップ数個ずつの露光を行い、これを基板全面へ繰り返す。より鮮明な露光を行うことができる反面、ステッパーの機械的精度が要求され、露光時間がかかるの欠点もある。工業的には露光量と露光時間は重要なパラメータである。

等倍露光は、フォトマスクを基板に重ねて行う。量産には有利であるが、微細パターンの作製には不利である。その理由として、マスクの汚れの影響が大きい、高精度なフォトマスクの加工が要求される、微細なパターンでは基板上で干渉縞が生じてしまう、基板とマスクの双方の平坦性が要求される、などがあげられる。

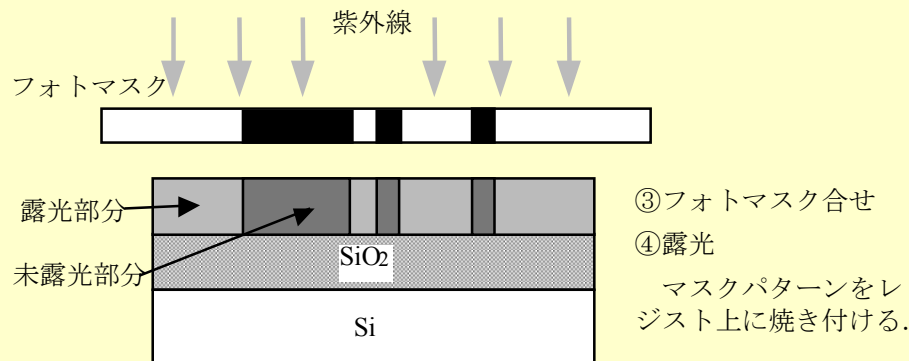


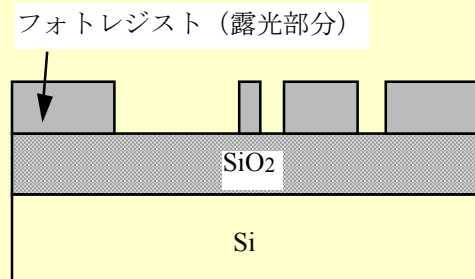
図7-13 等倍露光装置（マスクアライナ）の外観

④現像

有機溶剤で洗浄して可溶部分を除去する。ポジ形フォトレジストでは、露光されなかった領域、すなわちフォトマスクと同じパターンのフォトレジストが SiO_2 上に残る。ネガ形のレジストはその逆に露光された領域が現像後に残る。

⑤ポストバーク

現像により柔らかくなったフォトレジスト膜を乾燥，硬化させ，かつSi基板との密着性を良くして次のエッチングに耐えられるようにするために，約 150°C に保った恒温槽中で熱処理する。プリベーキングと同様に窒素雰囲気中で行う。



⑤現象

有機溶剤で可溶部分（この場合，露光されていない部分）を除く。

⑥ポストバーク

$170\sim 180^\circ\text{C}$ ，窒素雰囲気中で硬化させ，次工程のエッチングに耐えるようにする。

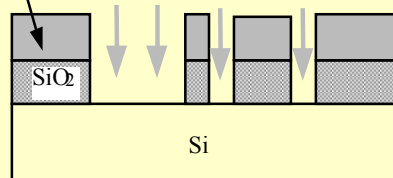
⑥エッチング

残ったフォトリソ膜を保護マスクとしてエッチングすると露光パターンに応じた SiO_2 が残る。

ウェットエッチング: フォトリソ膜で覆われていない部分が選択的に化学薬品で溶解除去される。酸化膜のエッチングにはフッ化水素水溶液を用いる。その他の膜のエッチングには、例えばAl膜や窒化膜のエッチングには、リン酸水溶液を用いる。ウェットエッチングは等方的に進行する。

ドライエッチング: 真空にしたチャンバー(化学反応室)にウェーハを入れ、必要なエッチングガスを導入する。電極に高周波電圧を加えると、ガスはプラズマ化される。エッチング種が膜に吸着すると、ウェーハ表面で化学反応が起こり、生成物は表面から離脱して外部へ排気され、エッチングが進行する。ドライエッチングでは方向性エッチングが可能である。

フォトリソ バッファードフッ酸



⑦エッチング

SiO_2 をバッファードフッ酸
($\text{HF}:\text{NH}_4\text{F}=1:6$)

で除去する。

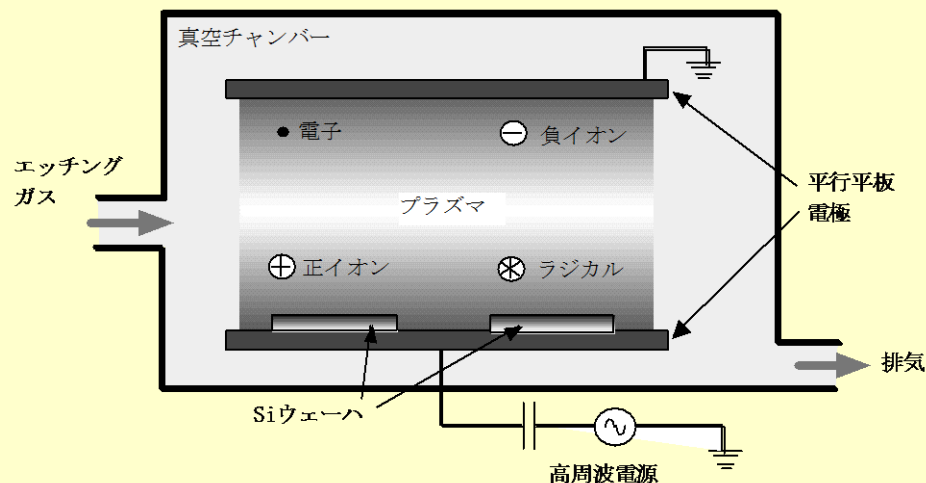
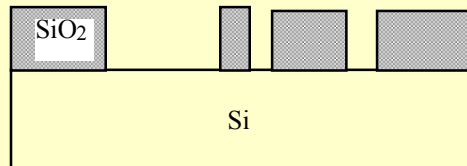


図7-14 ドライエッチング装置の概念図

⑦フォトレジスト除去と洗浄

フォトレジスト膜を除去用の溶剤で除去するか、プラズマ雰囲気中のドライ洗浄で除去する。除去後はSiウェーハを十分洗浄する。



⑧フォトレジスト除去と洗浄

フォトレジストをレジスト剥離液で除去する。

7.1.6 不純物拡散工程 (1)

(1) 目的

真性半導体に適当な不純物を拡散してp形やn形半導体を作る工程が、不純物拡散工程である。SiO₂膜を保護膜として利用した選択拡散により、プレーナ型半導体素子の製作が可能になった。

(2) 方法

①拡散 ②イオン打込み ③エピタキシャル成長

などがある。熱拡散法の不純物濃度分布は、Si表面が高く、深くなるとともに低くなる。イオン打込みの不純物濃度分布はある深さで最大値をもつ。エピタキシャル成長では、深さに関係なく一定になる。これらは、不純物濃度分布、精度、熱処理条件などに応じて使い分けられている。

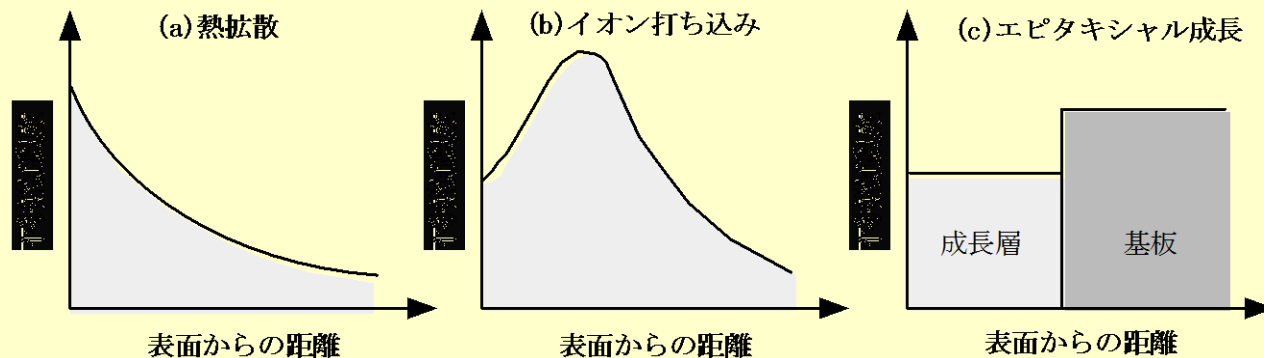


図7-15 各種ドーピング法における不純物分布

7.1.6 不純物拡散工程 (2)

熱拡散法について

熱拡散により拡散する不純物としては、ドナー不純物には、リン(P)、アンチモン(Sb)、ヒ素(As)がある。この中でPが最も広く用いられている。Sbは埋込層、Asは浅い拡散を必要とする場合に使われる。アクセプタ不純物には、ホウ素(B)、ガリウム(Ga)、アルミニウム(Al)などがあるが、主としてBが用いられている。拡散不純物源は状態により、固体、液体、気体の3種類に分けられる。現在は純度が高く制御の容易な液体や気体不純物源が主に利用されている。

表7-2 代表的な不純物源

状態 \ 項目	n 型			p 型
	P	As	Sb	B
気体	PH_3	AsH_3	---	B_2H_6
液体	$\text{POCl}_3, \text{PCl}_3$	---	---	$\text{BBr}_3, \text{BCl}_3$
固体	P_2O_5	As_2O_3	Sb_2O_3	$\text{BN}, \text{B}_2\text{O}_3$

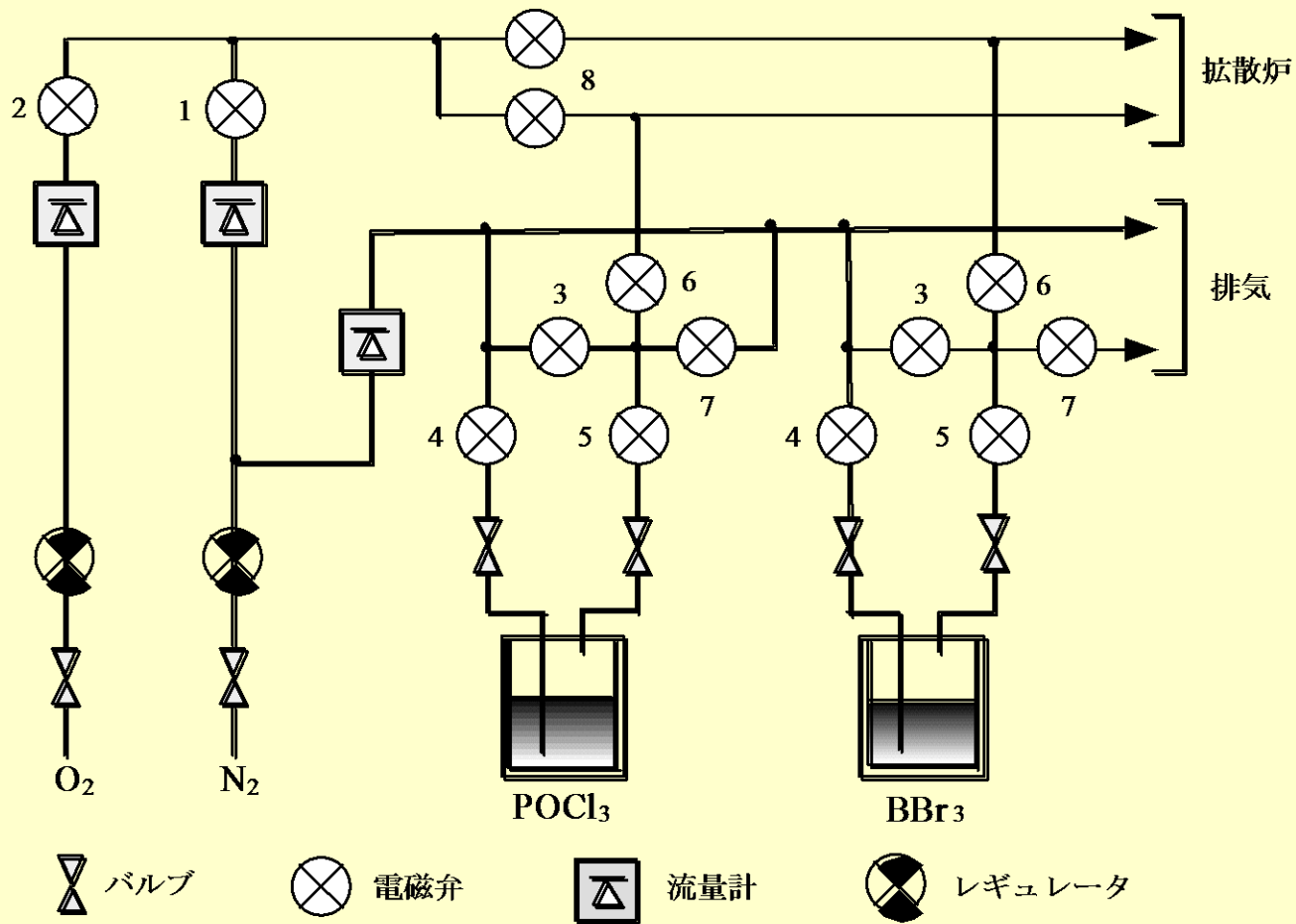


図7-16 拡散炉の系統図と外観

7.1.6 不純物拡散工程 (3)

プレーナ型半導体素子では、部分的に異なった不純物を拡散する必要がある。これは選択拡散とよばれ、他の領域との電氣的絶縁にも利用される。選択拡散はフォトリソグラフィ工程で形成された SiO_2 膜マスクを用いて行われる。図のように、 Si のむき出しになった部分に対して拡散が行われる。当然、 Si 酸化膜にも不純物元素が入るが、これらの拡散速度が遅いので、 Si 中への拡散を防ぐことができる。しかし、 Ga 、 Al は SiO_2 膜中の拡散速度が速いので、 Si 酸化膜による選択拡散はできない。

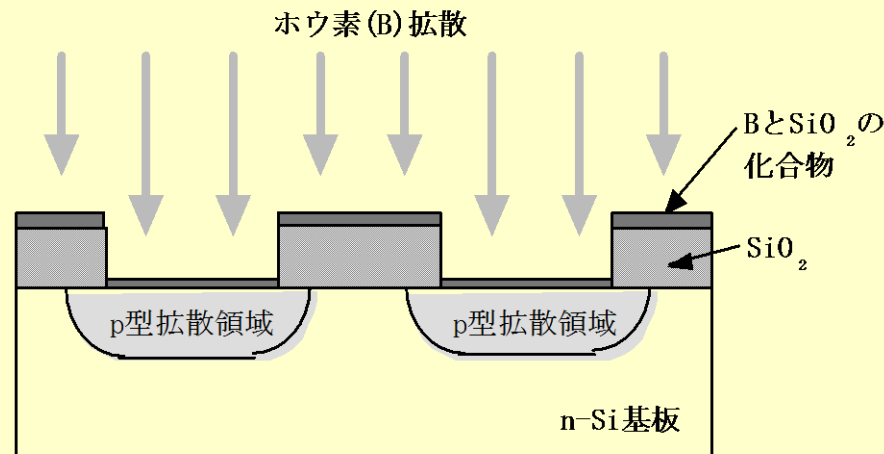


図7-17 選択拡散の概念図

7.1.6 不純物拡散工程 (3)

イオン注入法について

熱拡散法が等方性であるのに対してイオン注入法には異方性があり、基板に垂直にイオンを打ち込むことによって微細パターンが形成できる。さらに、レジストをマスクにできるなどの利点もある。イオンエネルギーが高いほど表面より深い位置に不純物分布を持つ。低・中速タイプでは主に浅い拡散層を形成するために数～数十KeVでイオン打ち込みを行う。高速タイプは、数百KeV～MeVの加速エネルギーでCMOSのウェル形成やROMのコード書込みなどに用いられる。

イオン注入では注入種、すなわちホウ素、ヒ素、リンなどを含むガスを放電によりイオン化する。これを電界加速した後、磁界を用いた質量分析器で選ばれたイオンをビーム照射する。ウェーハ全面に打ち込むにはビーム走査が必要である。

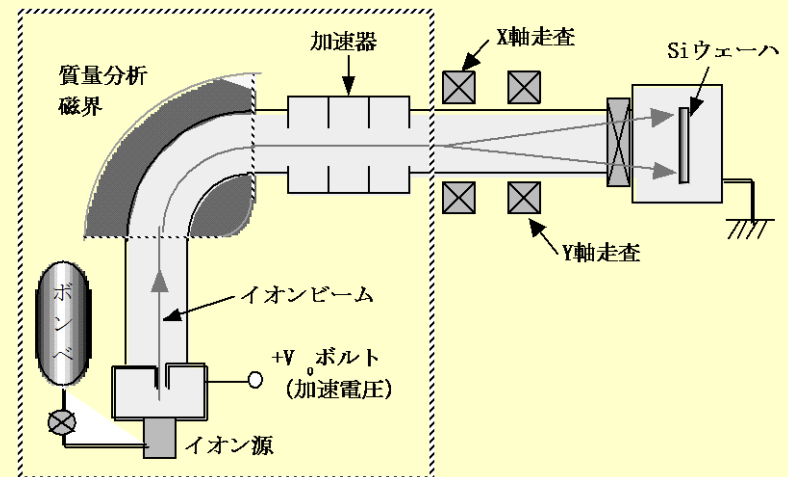


図7-18 イオン注入装置の概念図

7.1.7 成膜工程

(1) 目的

前項までの工程でpn接合領域が形成されたが、これらを半導体デバイスとして使用する場合、電極および配線を形成する必要がある。この場合も基板全面に電極材料を膜として形成(成膜)し、フォトリソグラフィにより必要部分を残す。代表的な成膜方法としては、

- ① 蒸着
- ② スパッタリング
- ③ CVD
- ④ 塗布(スピコート)

等がある。蒸着は、真空中で原材料を加熱・蒸発させ、基板上にて原料を凝集させることにより成膜を行うものである。スパッタリングは、アルゴン(Ar)などの不活性ガスのプラズマで原材料を表面から削り、反対側に置いた基板に堆積させるものである。CVDは原材料を含んだガスを熱分解などの化学的な反応を用いて生成させ、基板上に成膜させるものである。最後の塗布は、原材料を含んだ溶剤を基板表面に塗布し、熱処理等によって表面で固化させるものである。

用途	膜の種類	作製方法
ゲート絶縁膜 拡散マスク 素子分離など	SiO_2	熱酸化（ドライ，ウェット）
ゲート電極	Poly-Si, WSi_x	減圧CVD
容量電極	Poly-Si	減圧CVD
容量絶縁膜	Si_3N_4	減圧CVD
配線	W	減圧CVD
	Al, Ti, TiN, WSi_x	スパッタリング
層間絶縁膜	SiO_2 , BPSG	常圧CVD, 減圧CVD, プラズマCVD
パシベーション	SiN, SiON	プラズマCVD

(2) 真空蒸着法

蒸着法により物理的に金属薄膜を形成する過程は次のようになる。

- ① 金属に電流を加えて蒸発させる。
- ② 別の場所で凝縮させる。

この過程で大気が存在した場合には、

- ① 蒸発物の直進が妨げられ平坦な薄膜の形成ができない。
- ② 蒸発物が空気中の化学的活性なガスと化合物を形成する。

ため、真空中で蒸着を行わなければならない。Siウェーハを装着し、真空度が約 1×10^{-5} Pa程度になるまで排気する。次に、ヒーターに電流を

流して金属を加熱

し蒸発させる。状態

が安定したらシャツ

ターを開けて基板

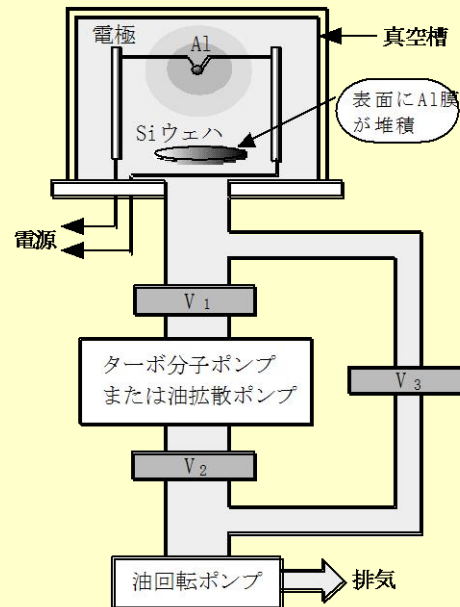
に金属薄膜を蒸着

させる。Alを電極と

して蒸着する場合、

膜厚は約 $1 \mu\text{m}$ 程度

である。



(a) 概念図



(b) 外観

7.1.8 前工程における最近の技術動向 (1)

ICの高集積化や高性能化により素子のスケールダウンと高度な加工精度が必要不可欠となる。また、配線抵抗や寄生容量の増大と併せて、ゲート酸化膜やDRAM容量膜の薄膜化も物性的限界に近付いている。これらの壁を打破するために以下のような新技術や新材料に関する研究が各方面で行われている。

(1) 露光技術

微細加工の精度は露光する光の波長に依存する。通常集積回路にはg線(436nm)またはi線(365nm)と呼ばれる高圧水銀ランプによる紫外線を用いるが、線幅が $0.1\ \mu\text{m}$ 程度のULSI製作においては、さらに短波長の短いKrF(248nm)やArF(248nm)エキシマレーザーが用いられている。微細化が進み、フォトリソグラフィが限界となれば電子線やX線などを用いることも必要になる。この場合は光学レンズによる縮小ができないので、マスクを用いずに直接フォトレジストに描画したり、微細な等倍マスクを用いる技術などが研究されている。

7.1.8 前工程における最近の技術動向 (2)

(2) 多層配線の層間膜材料

配線を伝わる電気信号の遅延が配線抵抗(R)と配線容量(C)の積で決まるため、これをRC遅延と呼ぶ。配線の寄生容量は素子の微細化により増大する傾向にある。現在、層間膜としてSi酸化膜が広く用いられているが、配線容量を抑えるために誘電率の小さなフッ素添加酸化シリコン膜(SiOF)も一部で採用されている。さらに誘電率の低いHSQ(hydrogen silsesquioxane)膜、アモルファスカーボン膜(a-C:F)、有機膜などが次の有力候補として検討されている。

(3) 配線材料

現在、広く用いられているのはアルミニウム(Al)であるが、配線のRC遅延を減らすため、より低抵抗で高信頼性を有する材料として銅(Cu)が配線材料として一部の製品に採用されている。

7.1.8 前工程における最近の技術動向 (3)

(4) ゲート絶縁膜

従来, MOSTランジスタのゲート絶縁膜としてSi酸化膜が用いられてきたが, 素子の微細化による薄膜化が限界に達しつつある. 極薄のSi酸化膜ではトンネル効果によって電流が流れ, 絶縁膜として機能しなくなるためである. また高いエネルギーを持った電子(ホットエレクトロン)により損傷が起こることから耐性の高い酸窒化膜が用いられるようになってきている. また, 誘電率の高いタンタルオキサイド(Ta_2O_5)などがゲート絶縁材料として検討されている.

(5) DRAM用メモリ容量絶縁膜

最もポピュラーなのはシリコン窒素膜(Si_3N_4)である. 最近では, 微細な高性能容量実現のため, さらに高誘電率である Ta_2O_5 膜が一部に採用され, BST($(\text{Ba},\text{Sr})\text{TiO}_3$)やPZT($\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$)などの強誘電体の利用も研究されている.

7.1.8 前工程における最近の技術動向 (4)

(6) 表面平坦化技術

製作工程を経るたびに表面の凹凸が増えて表面段差が大きくなるとその上の堆積膜の均一性(ステップカバレッジ)が問題となり、配線の断線などが起こってくるため、表面を平坦化する必要がある。平坦化の方法として最近注目されているのがCMP(chemical mechanical polishing: 化学的機械的研磨)である。CMPとはシリカ粒子を含んだ研磨液(スラリー)をウェーハ表面に流しながら、スピンドルに貼り付けた(チャッキング)ウェーハの表面を、回転テーブル(ポリシング・プレート)表面の研磨パッドに接触させて研磨するものである。次に述べる多層配線技術においてCMPは欠かせない技術である。そのほか、STI(shallow trench isolation: 浅いトレンチ分離)と呼ばれる素子分離技術にもCMPが利用されている。

7.1.8 前工程における最近の技術動向 (5)

(7) 多層配線技術

材料の開発と同時に、デバイスの構造も改良が重ねられている。その一つが多層配線であり、高集積化された配線を何層にも積み重ねて全体の配線系を実現するものである。特にロジック系ICでは、集積度と性能を向上させるために多層配線の層数が増加する傾向にある。現在、5～8層が実用化されているが、さらに多層の配線も必要になっている。多層配線技術のポイントは、コンタクトホールやスルーホール(ビアホール)の埋込み技術と、配線層間膜の平坦化である。

コンタクトホールとはメタル配線と下地のシリコン拡散層、シリサイド層などを接続するために絶縁膜に開けられた開口ある。スルーホールとは、配線同士を接続するため、層間絶縁膜に垂直の開口を指す。

これらの開口を埋め込み平坦化する技術として、タングステン(W)の選択成長による埋込みとCMPを用いた平坦化が開発・実用化された。銅(Cu)配線では、ダマシンプロセスと呼ばれる新しい配線形成法が開発されている。下地のSiO₂に溝を掘り、メッキによりCuを堆積した後にCMPで不要部分を削ることで、配線を層間絶縁膜に埋込んだ構造ができる。

7.2.1 ダイシング工程

(1) 目的

プレーナ型半導体デバイスは、1枚のウェーハに多数のデバイスが同時に作られる。前工程が終了した後にそれぞれのデバイスをチップに切り分けるのがダイシング工程である。ICチップはダイ(die)とも呼ばれるので、ダイにするという意味でこの工程がダイシングと呼ばれている。また、切り分けるという意味で、スクライブ工程とも呼ばれている。

(2) 方法

大口径のウェーハは機械的強度を維持するためにチップの完成時より厚くなっている。まずウェーハの裏面を削って薄くし、その後ダイヤモンドソーと呼ばれるダイヤモンド微粒を焼成した円形歯を用いてチップに切り分ける。実験室レベルでは、Siのへき開を利用するのが簡便である。ダイヤモンドポイントによりまずSi表面に結晶軸にそって傷をつけて力を加えると、傷に応力が集中して容易にへき開する。

7.2.2 マウント工程

(1) 目的

チップに切り分けられたデバイスは、外部電極と接続するために、適当なケースに接着させる必要がある。Siのチップは金属のリードフレームやパッケージに接着される。これをマウントと呼んでいる。

(2) 方法

接着力が強く機械的強度が大であること、アイランドとチップ間の熱伝導が良いこと、単体素子など裏面電極をとる場合にはオーム接触とし電気抵抗が小さいことが重要である。チップマウントを大別すると、Au-SiやAu-Snの共晶を利用する場合、Pb-Snハンダを用いる場合、銀ペーストを用いる場合などがある。

Au-Snの共晶を用いる場合は、アイランドを約420°Cに保つ必要がある。銀ペーストを用いるのが比較的簡単である。塗布後約150°Cで30分ほど加熱して溶剤を蒸発させる必要がある。両者とも酸化防止のために加熱は窒素雰囲気中で行う。

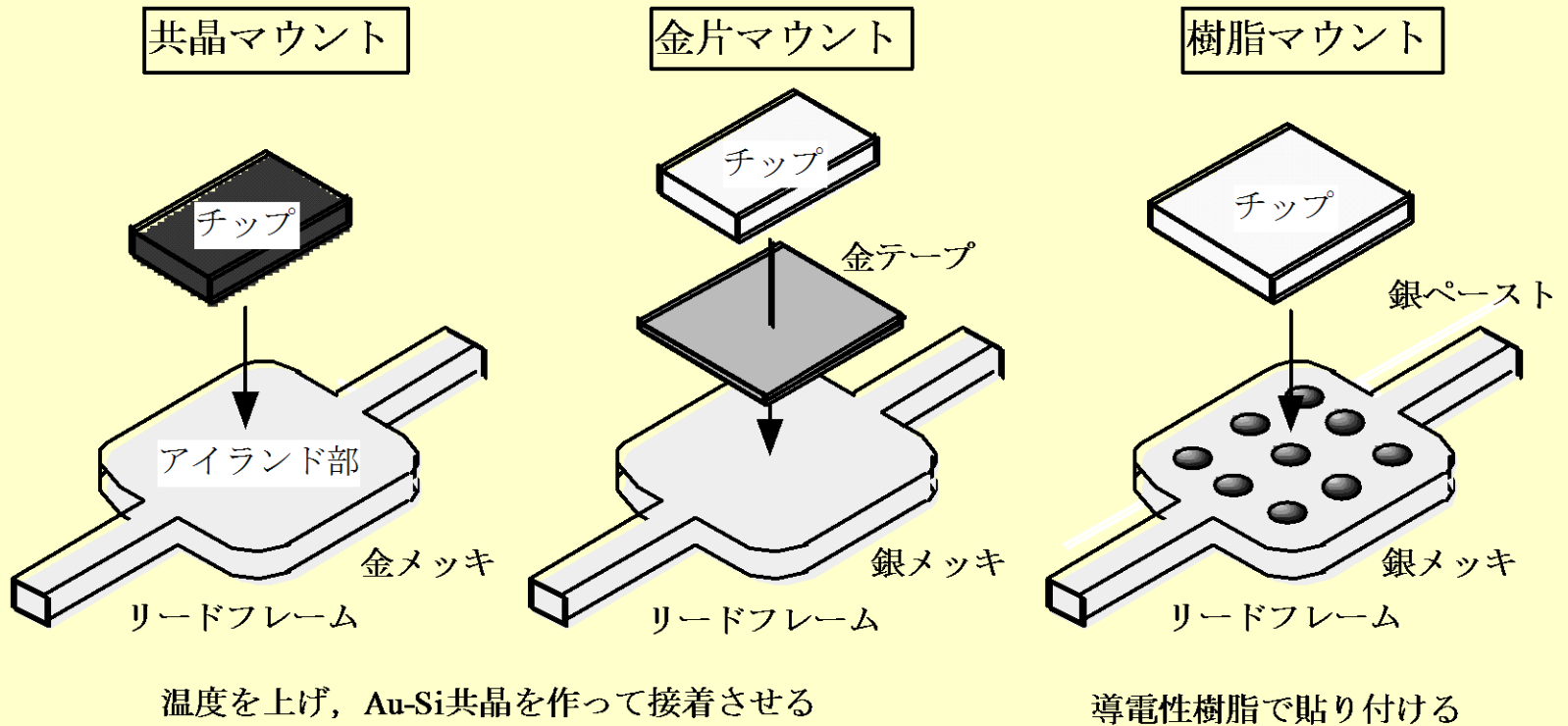


図7-20 各種マウント法

7.2.3 ボンディング工程

(1) 目的

チップと外部端子との電氣的接続のために配線を行う必要がある。金属線 (Au, Al) を用いた配線はワイヤーボンディングと呼ばれる。その他に, IC上のボンディングパッドとリード電極を直接接着・接続するワイヤレスボンディングもある。

(2) 方法(ワイヤーボンディング)

Au線の熱圧着法が接着強度, 接触抵抗, ボンディング作業性の点で優れている。LSIの配線には直径約 $30\mu\text{m}$ の金線が一般に用いられる。トーチにより加熱形成された金ボールをボンディングパッドに熱圧着し, その後, 外部端子に金線を圧着する。チップ, 端子とも接着し易いように加熱しておく。ほかに超音波を用いてAl線をボンディングする方法もある。

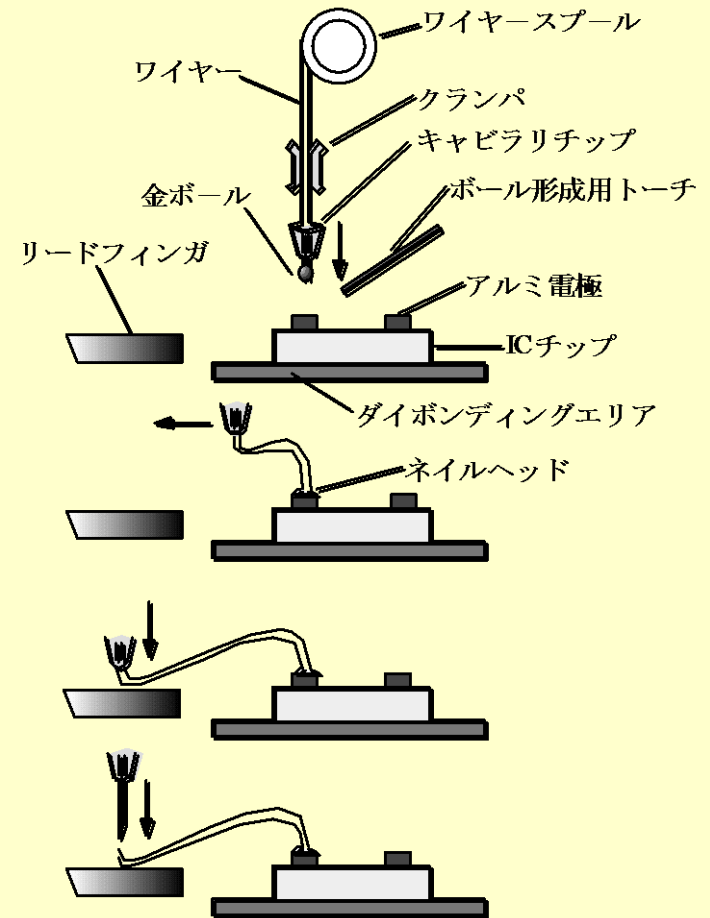


図7-21 ワイヤーボンディング工程の概念図

7.2.4 封入工程

(1) 目的

チップを外部雰囲気から絶縁し、特性の変化を抑えると同時に機械的にも保護する目的で行う。

(2) 方法

封入方法は大きく分けて気密封止法と非気密封止法の2通りがある。気密封止法とは、外界から完全に密閉されており、微量のガスや水分などの侵入を防げる封止法という意味である。気密封止法は、高価だが信頼性の高い金属封止(金-スズ・シール)や、安価だが封止温度が最高480°Cと高いセラミック封止、ハンダを用いたハンダ封止などに分類される。

非気密封止法は安価で量産性に優れているため、最も一般的に使われている。金型を使って樹脂封入を行うトランスファーモールド法は、材料費や能率の点から量産に適し、コストも他の方法に比べて格段に安いと広く用いられている。しかし、樹脂封入は水分に対する阻止能力が金属やセラミック封入に比べて劣るという欠点がある。樹脂を成型した後、余分な樹脂やバリを取り除き、表面に社名・製品名、シリアル番号などを印刷またはレーザー捺印した後、リードフレームから1個1個のICを分離し、リードを成型して完成となる。

大別すると挿入実装型と表面実装型に分けられる。挿入実装型は表面実装密度の面では有利であるが、高さの面で不利となり、表面実装型はその逆の利点、欠点を持つ。

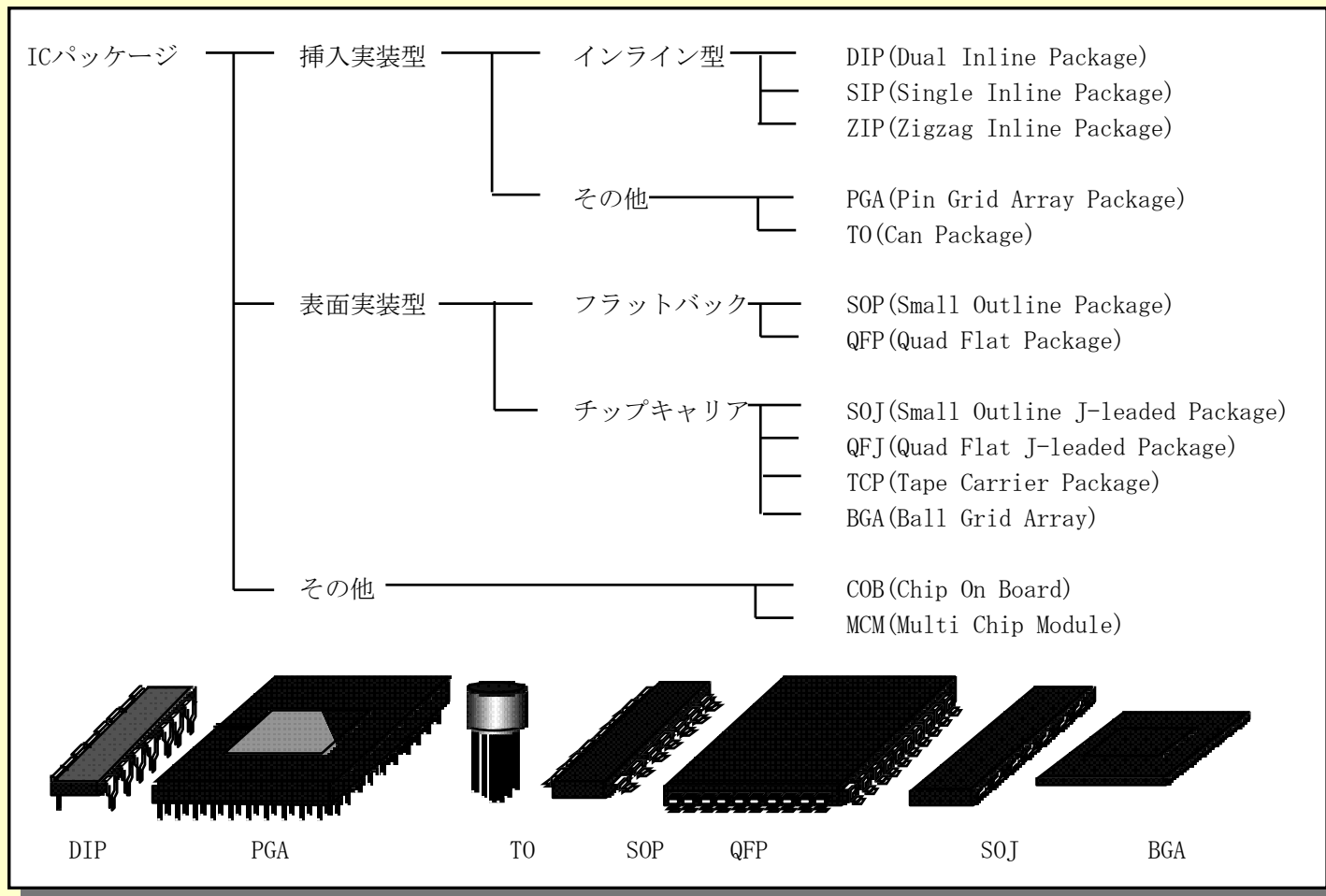


図7-22 代表的な I Cパッケージの形状

7.2.5 検査工程

作製されたICの良否を調べるもので、前工程と後工程の後でそれぞれ行われる。前工程の終わったウェーハ上のICチップの良・不良を判定する工程が、G/W工程である。G/Wではウェーハをプローバの測定用ステージにセットし、IC上の外部電極引出し用パッドに、プローブと呼ばれる探針を1本1本接触させる。1チップの測定が終わるとステージを移動させ、次のチップにプローブ・カードを当てて測定、という操作を繰り返し、全チップを測定する。全プローブからは、電源線・接地線・各種信号線が引き出され、ICテスターとつながっている。あらかじめプログラムされている正しい信号波形と比較して、ICチップの良・不良を判断する。後工程を終えたICも、選別工程において出荷される前に入念な検査が行われる。ICが規格通りの機能、特性であるかの試験や、初期故障を除くスクリーニングを行う。

ICの歩留りは、製造工程ごとに論じることができる。例えば、ある製造ラインにa枚のウェーハを投入し、拡散工程を経てb枚のウェーハが完成したとすれば、拡散歩留りは $(b/a) \times 100\%$ となる。高い歩留りを確保するには、いかに微細な素子寸法を使って小さなチップを作り、1枚のウェーハに乗るチップ数を増やすかということと、欠陥のない微細なデバイスをいかにクリーンな環境で作るかという2点がポイントになる。

7.3 Si半導体デバイスの製作方法

プレーナ型Si半導体デバイスは、前節で述べた製作工程を組み合わせることにより作製することができる。デバイスの種類により、パターンの形状や工程の組み合わせや条件が異なるだけである。異なるエレメントも、できるだけ同一のプロセスで製作できるように工夫することでマスクの数を少なくし、プロセスを効率化できる。マスクの枚数だけのフォトリソグラフィ工程を順次繰り返し、集積回路が完成する。後工程では、デバイスに応じたパッケージングを選択すればよい。ここでは、各種Siデバイスの前工程の概念を述べる。（基礎的な製作工程の説明にとどめ、一部は簡略化してある。）

7.3.1 Siダイオードの製作手順(1)

ダイオードの製作工程は次の通りである。

- ①Si表面に、熱酸化法によりSi酸化膜を形成する(a)
- ②n形Si基板の一部をp形にする不純物(普通はホウ素(B)を使用)を拡散するために、酸化膜の一部を除去する必要がある。このためにSi酸化膜表面にフォトレジストを塗布する(b)
- ③フォトマスクを通して紫外線を照射し、フォトレジストを感光させる(c)
- ④現像液により、フォトレジストをエッチングする。この場合、フォトレジストはネガタイプである(d)
- ⑤フッ化水素酸水溶液により、Si酸化膜を除去する(e)

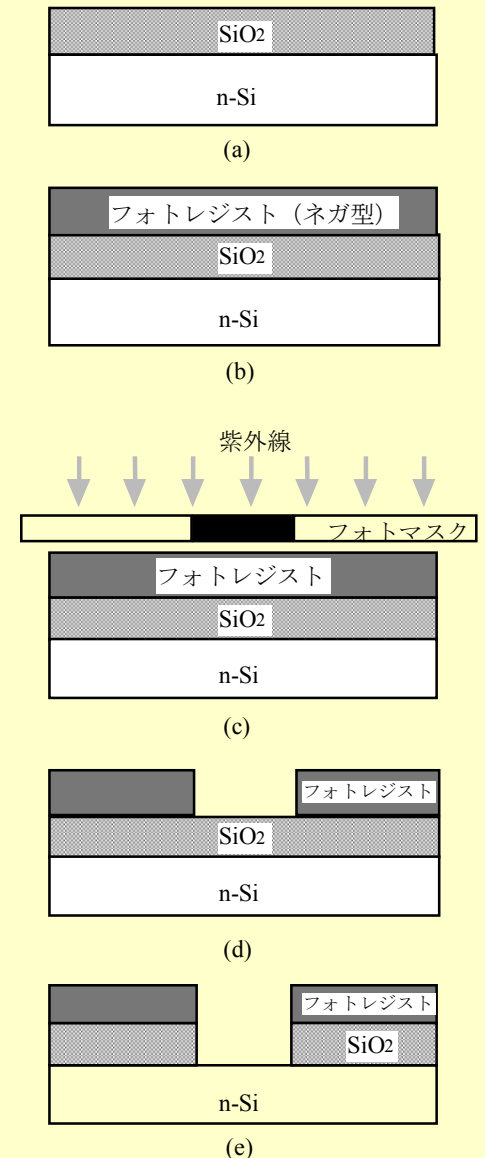


図7-23 p+n-Siダイオードの製作工程

7.3.1 Siダイオードの製作手順 (2)

⑥Bを熱拡散する. Si酸化膜がない部分にBが拡散され, その部分がp形半導体になる. この状態でpn接合が形成される(f)

⑦p形半導体の領域の一部分に電極を形成するために, Siウェーハ全面に電極用金属(普通, アルミニウムAl)を蒸着する(g)

⑧Al膜上にフォトレジストを塗布した後に, 電極領域に合わせたフォトマスクを通して紫外線を照射する(h)

⑨現像液とリン酸系水溶液により, フォトレジストとアルミニウム膜をそれぞれ除去する(i)

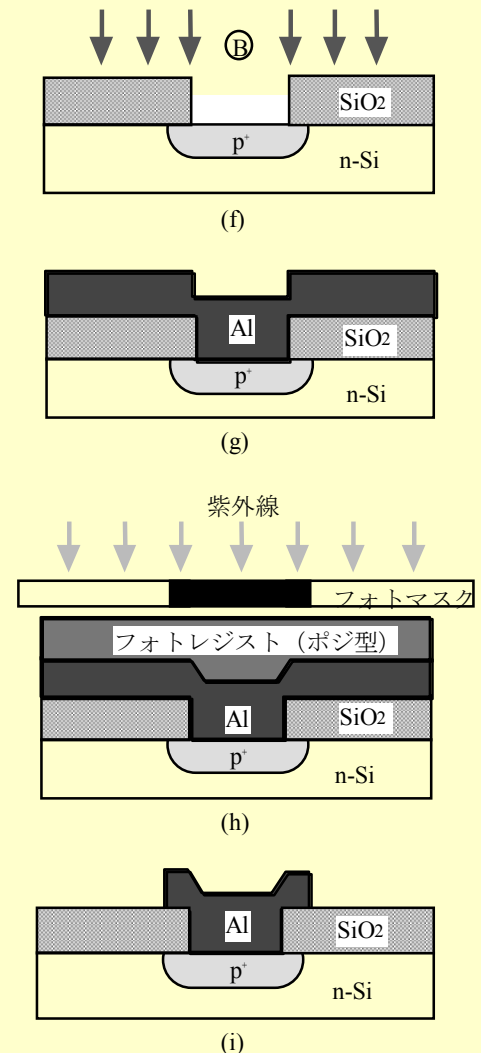
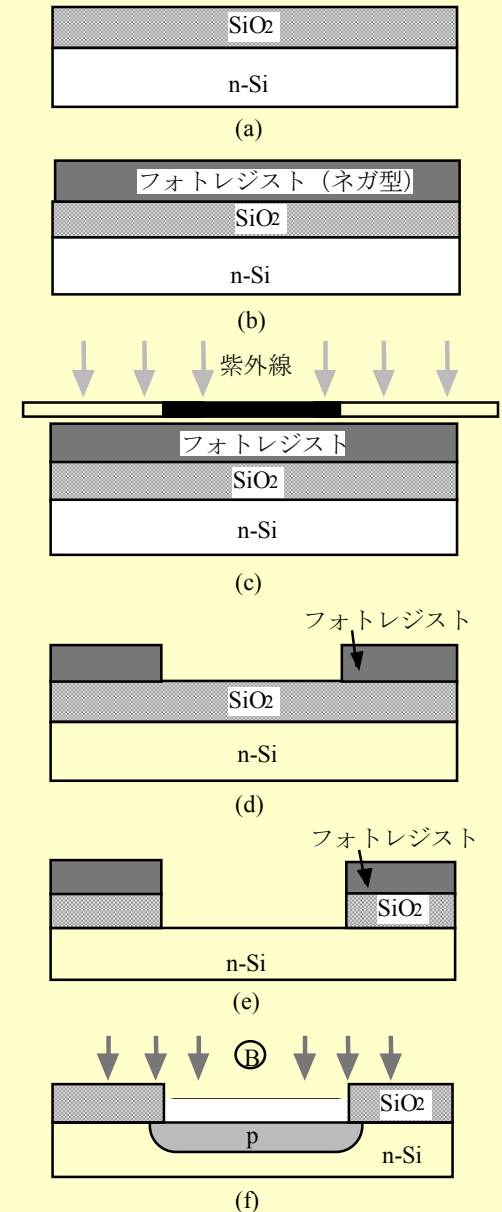


図7-3 P+n-Siダイオードの製作工程

7.3.2 バイポーラSiトランジスタの製作手順 (1)

トランジスタの製作工程は次の通りである。

- ①ベース領域を形成するために、Si表面に熱酸化法によりSi酸化膜を形成する(a)
- ②Si酸化膜表面にフォトレジストを塗布する(b)
- ③ベース領域に合わせたフォトマスクを通して紫外線を照射し、フォトレジストを感光させる(c)
- ④現象液により、フォトレジストをエッチングする(d)
- ⑤フッ化水素酸水溶液によりSi酸化膜を除去する(e)
- ⑥ベース領域をP形にするために、ホウ素(B)を熱拡散する。Si酸化膜がない部分にBが拡散され、その部分がp形半導体になる。これでpnダイオードが形成される(f)



7.3.2 バイポーラSiトランジスタの製作手順 (2)

- ⑦エミッタ領域を形成するために、Si表面に熱酸化法によりSi酸化膜を再び形成する(g)
- ⑧Si酸化膜表面にフォトレジストを塗布する(h)
- ⑨エミッタ領域に合わせたフォトマスクを通して紫外線を照射し、フォトレジストを感光させる(i)
- ⑩現像液によりフォトレジストをエッチングする(j)
- ⑪フッ化水素酸水溶液によりSi酸化膜を除去する(k)

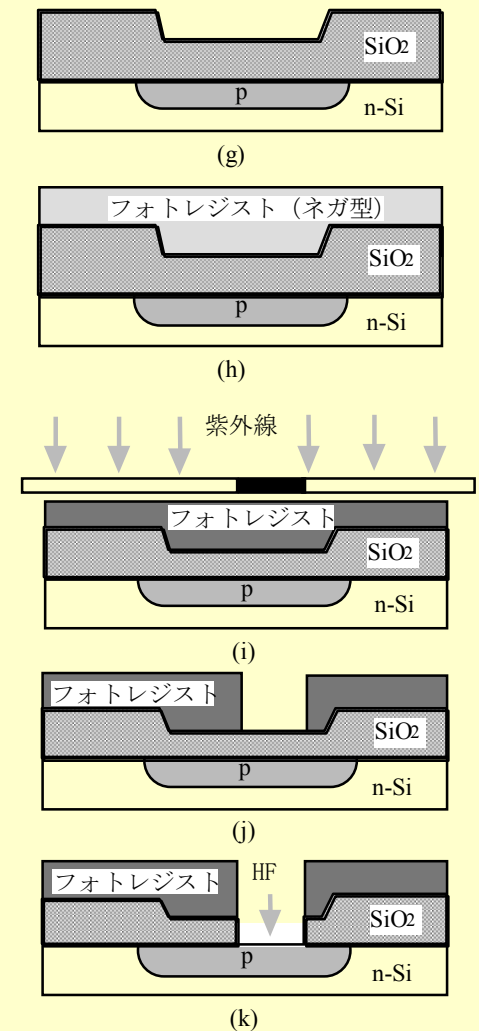


図7-24 npn Siトランジスタの各製作工程

7.3.2 バイポーラSiトランジスタの製作手順 (3)

⑫エミッタ領域をn形にするために、普通、リン(P)を熱拡散するSi酸化膜がない部分にPが拡散され、その部分がn形半導体になる。これで、npnトランジスタ部分が形成される(l)

⑬ベースおよびエミッタ領域の一部分に電極を形成するために、Siウェーハ全面にアルミニウム(Al)を蒸着する。この場合、コレクタ領域の電極は基板裏面から接続される(m)

⑭Al膜上にフォトレジストを塗布した後に、電極領域に合わせたフォトマスクを通して紫外線を照射する(n)

⑮現像液とリン酸系水溶液により、フォトレジストとAl膜をそれぞれ除去する(o)

pnptランジスタも同じ工程で作製することができる。この場合、ベース、エミッタ領域を形成するために、PとBを拡散する。

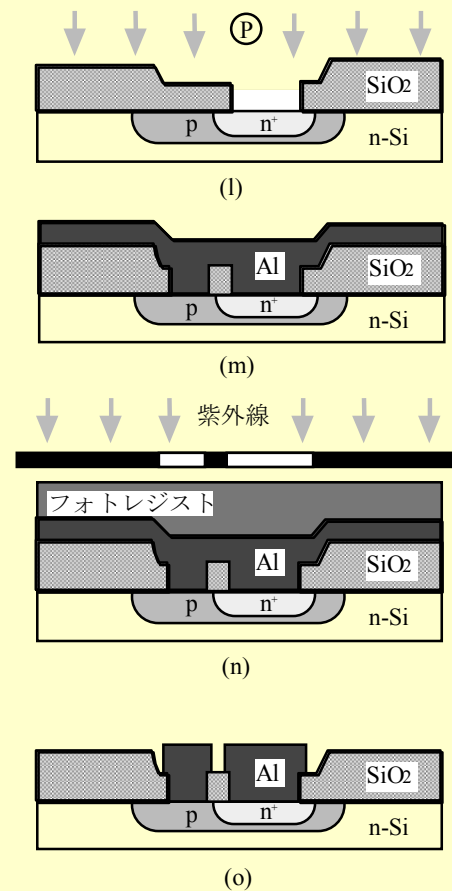
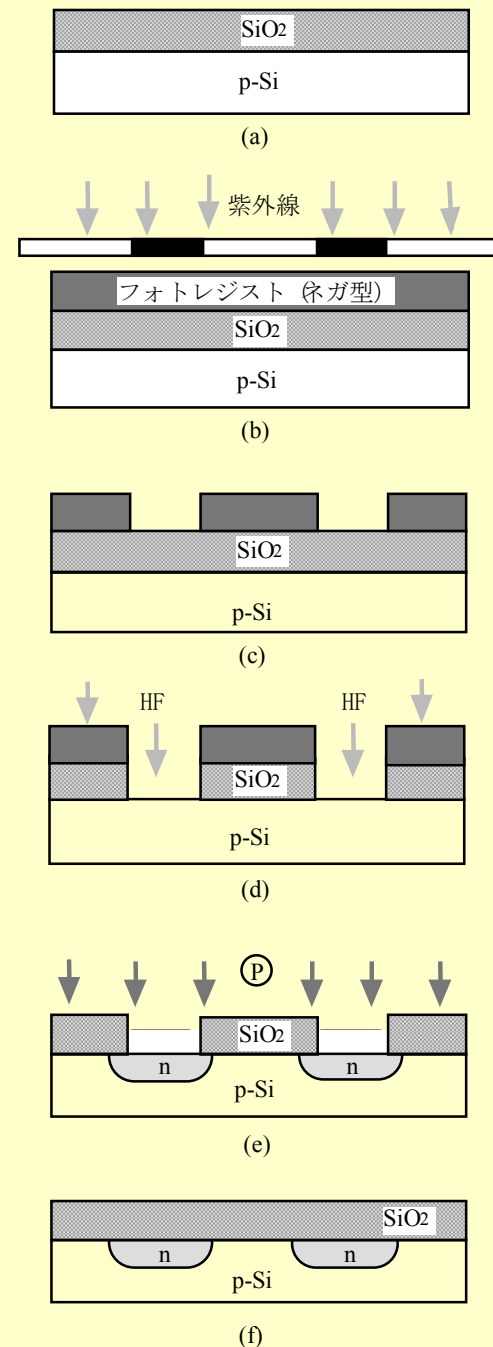


図7-24 npn Siトランジスタの各製作工程

7.3.3 SiMOS電界効果トランジスタの製作手順 (1)

MOS電界効果トランジスタの製作工程は次の通りである。

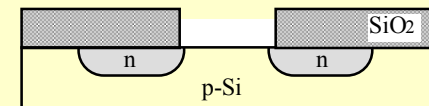
- ①Si表面に，熱酸化法により酸化膜を形成する(a)
- ②p形Si基板の一部にn形半導体であるソースとドレイン領域を形成するため，Si酸化膜の一部を除去する必要がある。このために，Si酸化膜表面にフォトレジストを塗布し，フォトマスクを通して感光させる(b)
- ③現像液によりフォトレジストをエッチングする(c)
- ④フッ化水素酸水溶液によりSi酸化膜を除去する(d)
- ⑤リン(P)を熱拡散する。Si酸化膜がない部分にPが拡散され，その部分がn形半導体になる。これでpn接合が2ヶ所に形成される(e)
- ⑥表面保護のためにSi酸化膜を再び形成する(f)



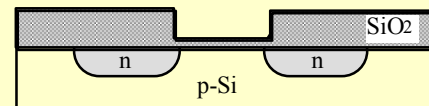
7.3.3 SiMOS電界効果トランジスタの製作手順 (2)

- ⑦ゲート酸化膜は薄くなければならないので、ゲート領域の酸化膜をフォトリソグラフィによりいったん除去する。(g)
- ⑧熱酸化により薄いゲート酸化膜を形成する(h)
- ⑨ソース、ドレイン電極を形成するためSi酸化膜を一部除去する(i)
- ⑩電極を形成するために、アルミニウム(Al)を蒸着する(j)
- ⑪Al膜上にフォトレジストを塗布した後に、電極形状に合わせたフォトマスクを通して紫外線を照射する(j)
- ⑫現像後、リン酸系水溶液により不要なAl膜を除去し、フォトレジストを剥離すると完成となる(k)

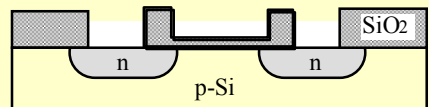
pチャネルMOS電界効果トランジスタを製作する場合には、n形Si基板を用い、p形半導体であるソース、ドレイン領域を形成するためには、ホウ素(B)を拡散する。



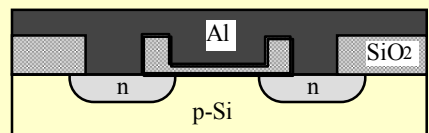
(g)



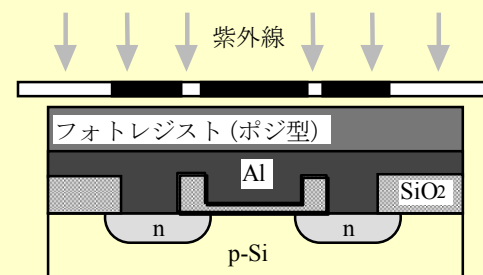
(h)



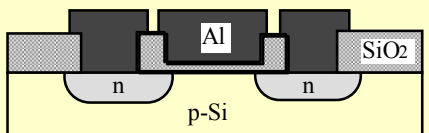
(i)



(j)



(k)



(l)

7.3.4 集積回路の製作手順 (1)

(1) バイポーラ集積回路の製作手順

バイポーラ集積回路の製作工程は次の通りである。

- ①まずSi全面を酸化する(a)
- ②トランジスタおよび抵抗器などの素子を分離するためにリン(P)を選択拡散させてn層を作る。トランジスタにおいてはここがコレクタ領域になる。基板を最低電位にするとこのpn接合に逆バイアスが加わり、内部に形成された素子が電氣的に絶縁される(b)
- ③ベース領域および抵抗を形成するためにホウ素(B)を拡散する(c)
- ④Pの選択拡散によってpnダイオードとnpnトランジスタが形成される(d)
- ⑤電極を作製するために孔を開ける(e)
- ⑥Al膜蒸着後、部分以外をフォトエッチングで取り去り完成(f)

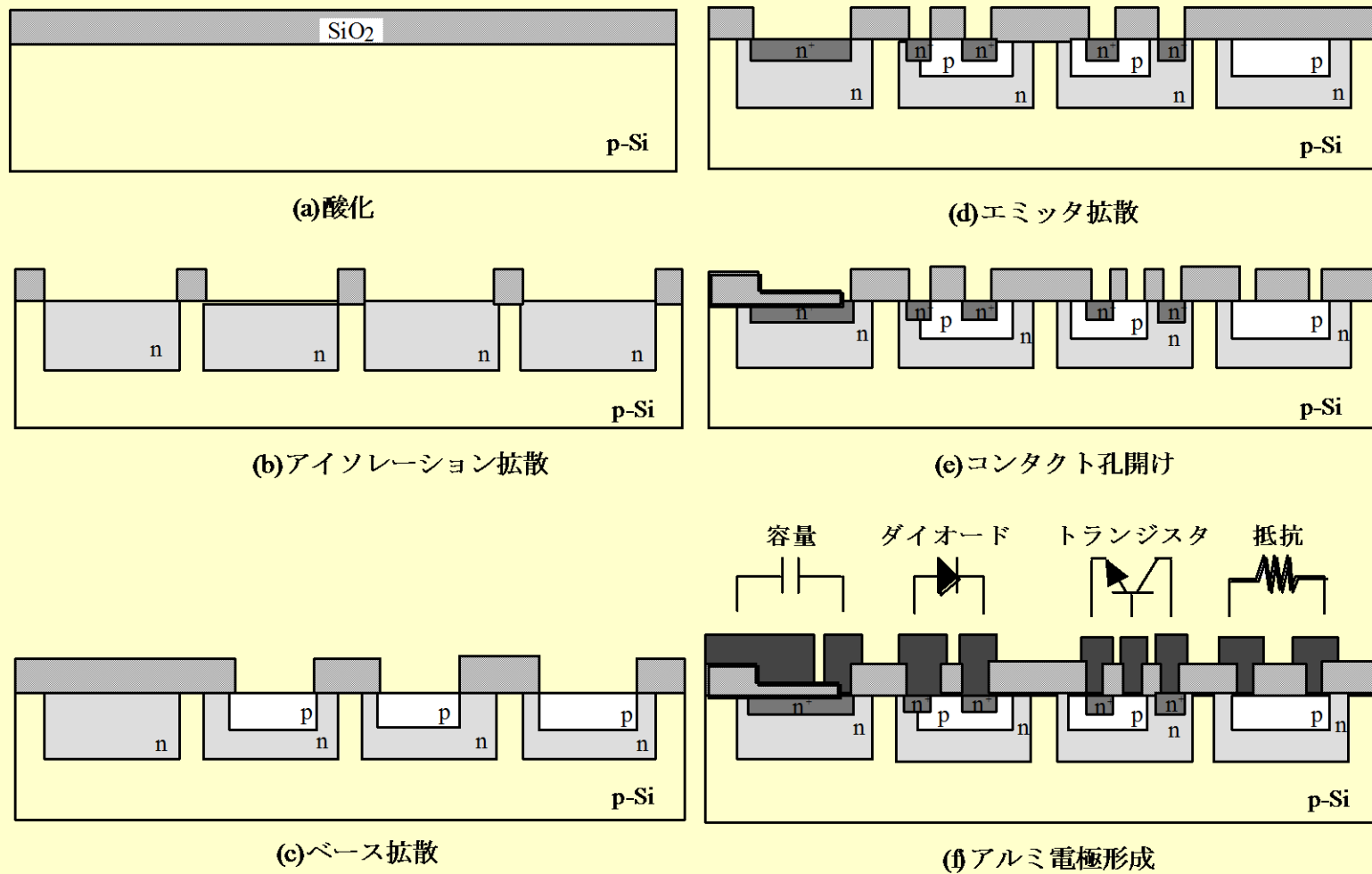


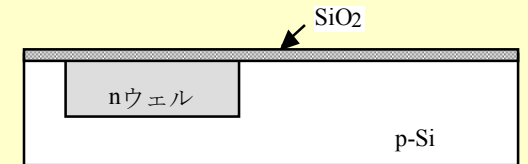
図7-26 バイポーラ集積回路の製作工程

7.3.4 集積回路の製作手順 (2)

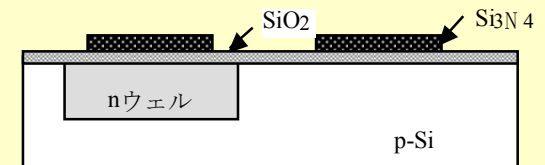
(2) CMOS回路の製作手順

CMOS回路(LOCOS構造で素子分離されたポリシリコンゲートのMOSFET)の製作手順は次の通りである。

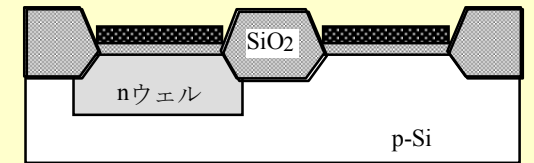
- ① nチャネルMOSFETとpチャネルMOSFETを同一の基板上(この場合p形基板を用いる)に形成するために、p形基板の一部にリン(P)などの選択拡散によりn形半導体の領域を作る。これをnウェル(n-well)と呼ぶ。その後、ゲート酸化膜として薄いSi酸化膜を形成する(a)
- ② 全面に窒化膜を形成した後、MOSFETを作製する領域のみを残して窒化膜を除去する(b)
- ③ ウェット酸化により厚いSi酸化膜を形成する(フィールド酸化)。窒化膜で覆われた部分は保護され、Si酸化膜は形成されない(c)
- ④ 窒化膜除去後、ゲート電極となるポリシリコンをCVD法で堆積させる(d)



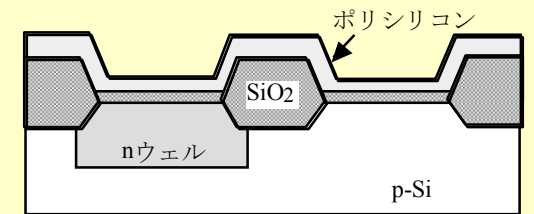
(a) nウェル形成とゲート酸化



(b) 窒化膜作製とパターニング

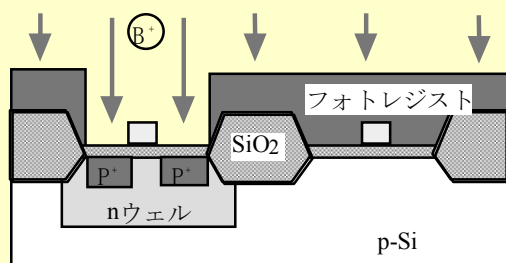


(c) フィールド酸化 (LOCOS構造作製)

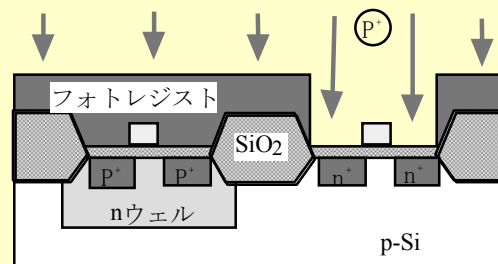


(d) 窒化膜除去とポリシリコン堆積

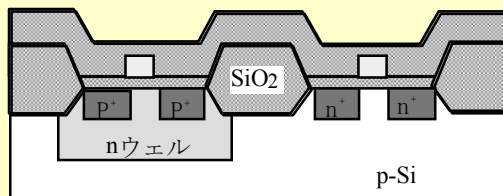
- ⑤ フォトレジスト塗布後, pチャネルMOSFET領域のみを除去し, ホウ素 (B) イオン注入によりソース, ドレイン領域を形成する. レジスト及びポリシリコンに覆われた部分へのイオン注入は阻止される (e)
- ⑥ 同様に, nチャネルMOSFET領域のみにリン (P) イオン注入を行ってソース, ドレイン領域を形成する (f)
- ⑦ 全面にCVD酸化膜を堆積させる (g)
- ⑧ 電極作製のためにコンタクトホール形成とAl膜の堆積を行う (h)
- ⑨ 不要なAl膜を除去して電極を形成し, 最後に保護膜で表面を覆う (i)



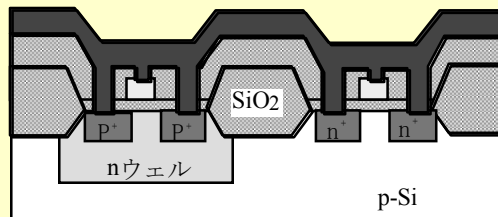
(e) p-MOSFETの ドレイン, ソース形成



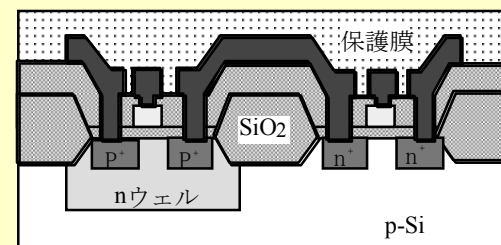
(f) n-MOSFETのドレイン, ソース形成



(g) CVD 酸化膜堆積



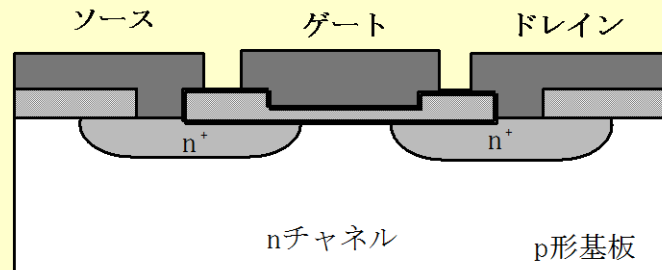
(h) コンタクトホール形成とAl膜堆積



(i) 配線と保護膜の形成

演習問題

- 問1 Ge及びGaAs半導体を集積化することが困難である理由を述べよ.
- 問2 製造プロセスの途中でSiウェハー上に塵が付着した. そのままプロセスを続けるとどうなるか検討せよ.
- 問3 p形基板を用いたバイポーラ集積回路においてpnp形トランジスタを作製する方法を考えよ.
- 問4 図に示す断面構造のAlゲートMOSFETのマスクレイアウトを考えよ. また, 作製時のマスク合わせの難易度についてポリシリコンゲートMOSFETの場合と比較せよ.



AlゲートMOSFETの断面構造