

半導体デバイス工学 講義資料

第6章 集積回路

(p. 101～p. 114)

6. 集積回路

6.1 分類と特徴

6.2 バイポーラ形集積回路

6.3 MOS形集積回路

6.4 Bi-CMOS回路

6.5 集積回路設計技術

6.1 分類と特徴 (1)

集積回路 (integrated circuit: IC) は、いろいろな回路機能を得るためにダイオード、トランジスタ、抵抗、コンデンサなどを1つの基板の上に電氣的に接続させた回路をいう。電子計算機、カラーテレビ、ステレオ装置などあらゆるものに集積回路が使用されている。とくに、電子計算機、飛行機および人工衛星などに積み込む超小形装置のように素子数が非常に多く、かつ高信頼性が要求される電子機器にはなくてはならないものである。

集積回路には一般的に次の利点がある。

- ① 高速度, 低消費電力, 高信頼性
- ② 高性能化, 高集積化
- ③ 構成素子の特性の均一化
- ④ 安価

集積回路は、回路を構成する素子がバイポーラトランジスタかMOSFETかによって、バイポーラ形集積回路とMOS形集積回路に区別される。また、扱う信号がアナログかデジタルかによっても区別され、前者をアナログ集積回路、後者を論理(デジタル)集積回路という。

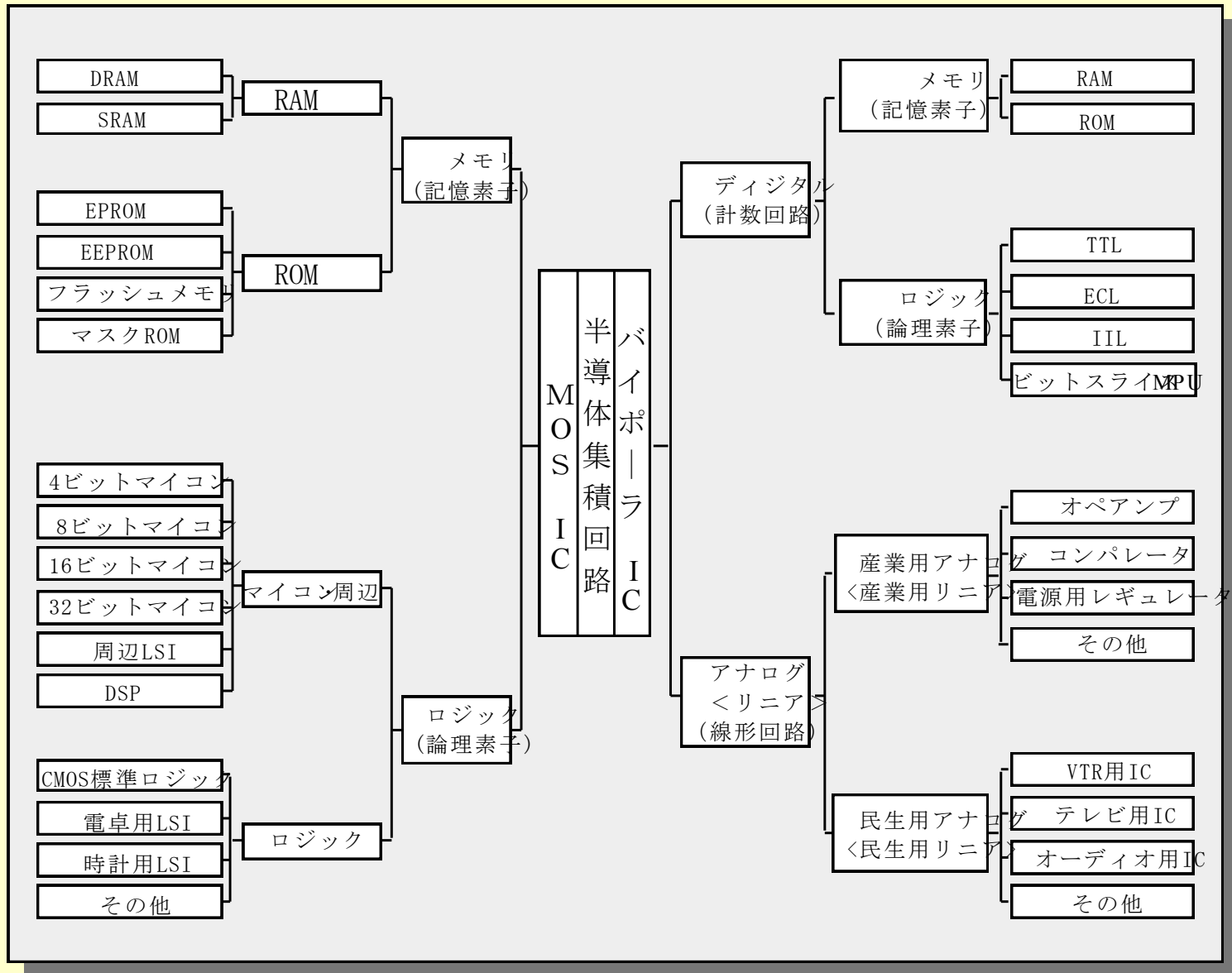


図6-1 集積回路の動作機能による分類

6.1 分類と特徴 (2)

基板上に組み込まれている素子数によっても区別され、数十の素子を組み込んだものを一般にSSI (small scale IC: 小規模集積回路), 100~1000個の素子を組み込んだものをMSI (medium scale IC: 中規模集積回路), 1000個以上の素子を組み込んだ大規模なICを総称してLSI (large scale IC: 大規模集積回路) と呼ばれている。LSIは規模に応じて、VLSI (very large scale IC), ULSI (ultra large scale IC) などにも分類されている。

表6-1 集積回路の集積度による分類

IC(Integrated Circuit) の呼び名	集積度 (素子数/チップ)	集積度
SSI (Small Scale Integration)	~ 10^2	小規模
MSI (Middle Scale Integration)	10^2 ~ 10^3	中規模
LSI (Large Scale Integration)	10^3 ~ 10^5	大規模
VLSI (Very Large Scale Integration)	10^5 ~ 10^7	超大規模
ULSI (Ultra Large Scale Integration)	10^7 ~	超超大規模

6.2 バイポーラ形集積回路

MOSFETの出力電圧が入力電圧の2乗に比例するのに対して、バイポーラトランジスタの入出力特性は線形特性をもつので、アナログ集積回路にはバイポーラ形集積回路が広く用いられる。特に、線形性を利用するものはリニア集積回路とも呼ばれる。バイポーラトランジスタの高速性と電流駆動能力を利用したデジタル集積回路としては、TTL(transistor transistor logic)集積回路やECL(emitter coupled logic)集積回路などがある。

プレーナ構造のバイポーラ集積回路ではpn接合を素子分離に用いる。これはp形基板を最低電位とし、また各素子は逆バイアスされた埋め込まれたn形領域中に形成することで、隣の素子と電氣的に分離できるのである。

しかし、n形領域内に別のトランジスタを製作するので最低でも3回の不純物の拡散工程が必要となる。

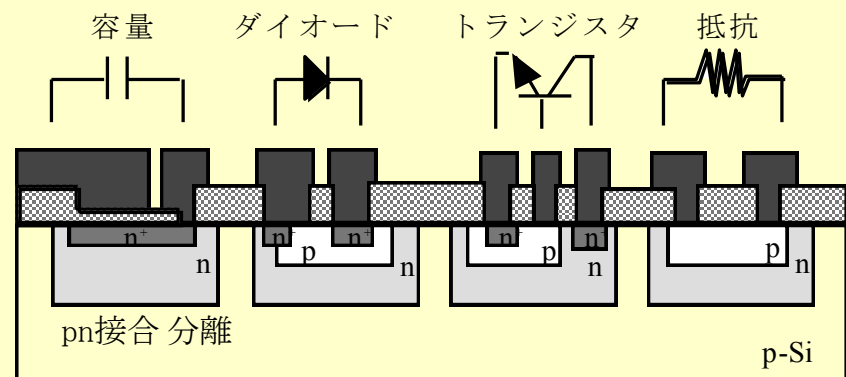
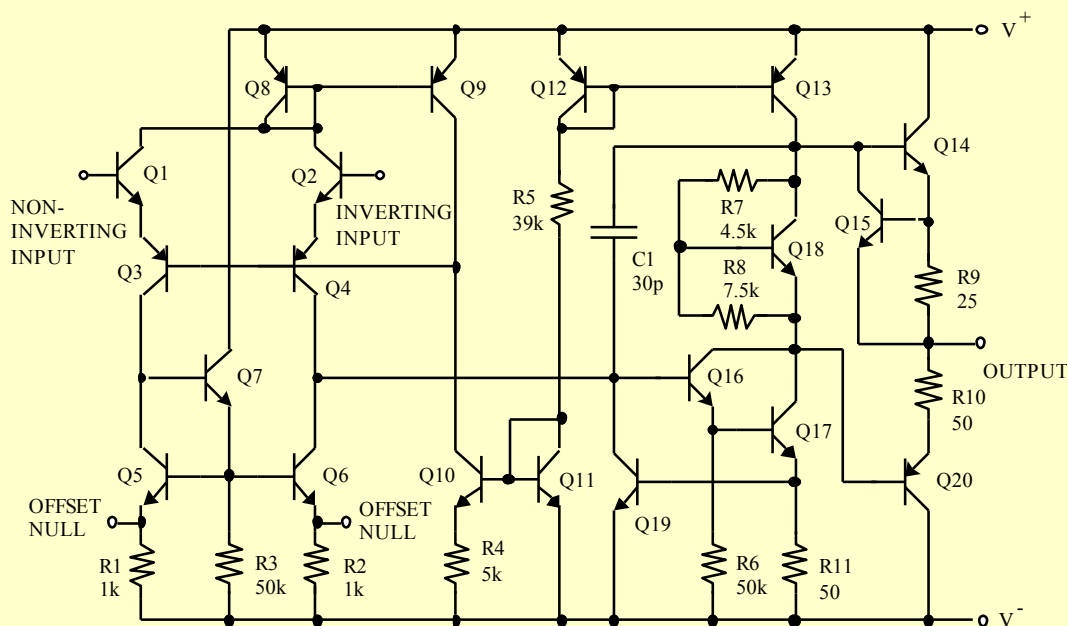


図6-2 バイポーラ形集積回路の断面構造

(1) リニア集積回路

集積回路を構成するトランジスタや抵抗などの素子定数の絶対値は比較的大きなばらつきがあるが、同一基板内の素子定数の相対値精度は高い。また、抵抗やキャパシタはトランジスタと比較して大面積を必要とするので、リニア集積回路ではトランジスタを能動負荷とする差動増幅回路を一般的用いられる。下図にリニア集積回路として広く用いられている741形演算増幅器の回路例を示す。



(2) TTL集積回路

TTL集積回路の例を下図に示す. 多数のエミッタ端子を持ったトランジスタがAND回路を構成し, 次段のトランジスタで反転してNAND回路にしたものである. すべての入力が高い電圧のときTr2がオンとなる. この場合, いずれか1つの入力が0電位になると, 電流がR1を通じてTr1のベースに流れ込む. Tr1の増幅作用で大きなコレクタ電流が流れてTr2のコレクタ領域に蓄積されたキャリアがベース領域を通して放出されるので, スイッチング時間が短くなる.

また, スイッチング時間を短くするためコレクタ領域に金などの不純物を添加する. TTL集積回路は高速で, かつ価格も安いので広く使われている.

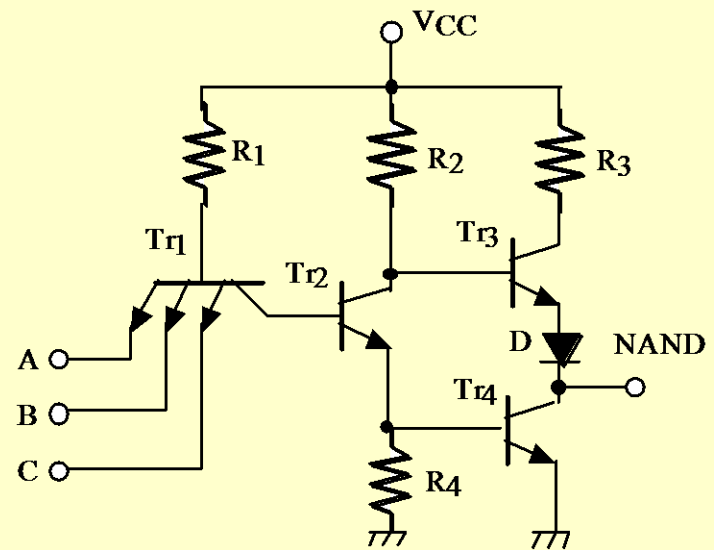


図6-4 TTL集積回路

(3) ECL集積回路

ECL集積回路は、[図](#)に示すように差動増幅回路を用いて論理を構成し、コレクタ接地回路を出力として次段を駆動する構造になっている。A,B端子に加えられた入力と、差動増幅回路のもう一方の入力 V_{BB} (しきい値)との比較により論理が決定される。出力信号は入力側のトランジスタのコレクタから取り出した場合はNOR回路となり、他方のトランジスタのコレクタからはOR出力となる。

ECL回路の場合は差動増幅器のトランジスタを飽和領域で動作させないようにエミッタ電流を制御して飽和領域での動作を回避し、電荷の蓄積をなくして高速動作を実現している。

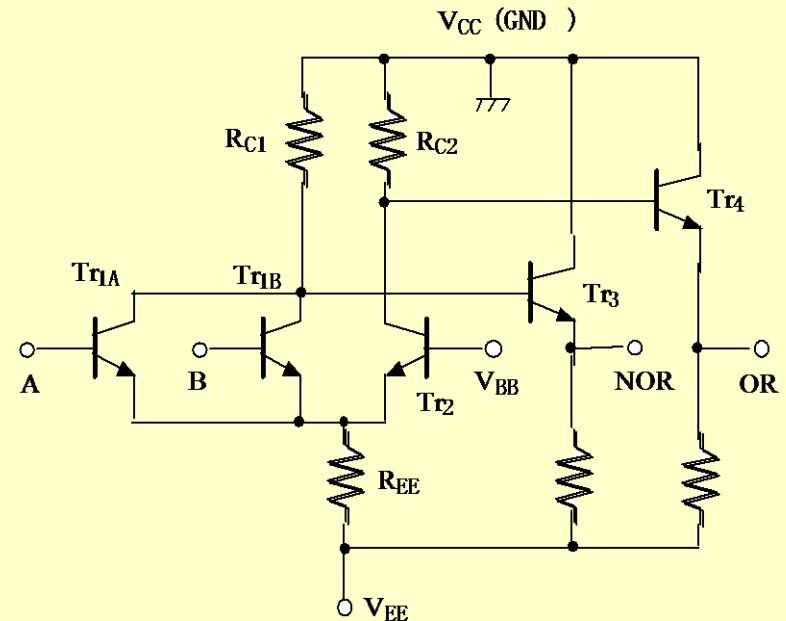


図6-5 ECL集積回路

6.3 MOS形集積回路

MOS形集積回路はMOSFETを能動素子として用いた集積回路である。これにはチャンネルの抵抗を能動負荷に用いたn-MOS集積回路や、pチャンネルMOSFETとnチャンネルMOSFETを組み合わせた相補形MOS集積回路 (complementary MOSIC: CMOS IC) やメモリがある。MOS形集積回路の断面構造を図に示す。局所酸化またはLOCOS (local oxidation of silicon) と呼ばれる部分的に厚く形成された酸化膜が素子分離用として用いられる。また、高集積化に有利な多結晶Siをゲート電極 (ポリシリコンゲート) に用いたMOS構造が多用される。

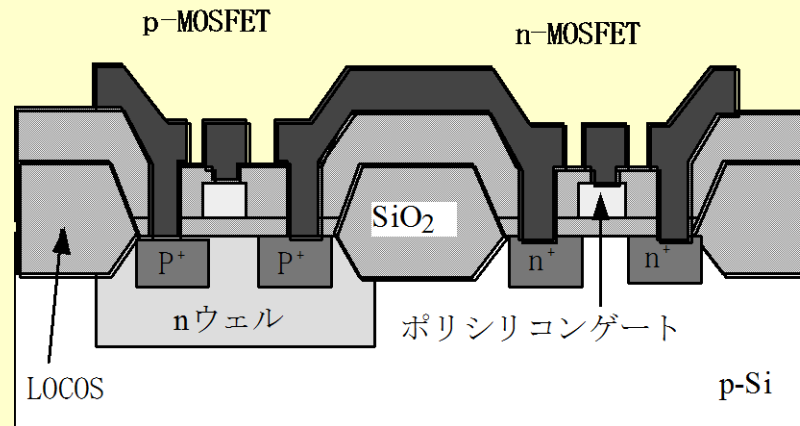


図6-6 MOS形集積回路の断面構造 (CMOS)

6.3 MOS形集積回路

MOS形集積回路はバイポーラ形集積回路と比較して高集積化が可能なのでVLSIやULSIに広く使用されている。下図にバイポーラトランジスタとMOSFETの断面構造とそれらの占有領域の比較を示す。

バイポーラトランジスタがpn接合の空乏層の拡がりまでも占有面積として考慮しなければならないのに対して、MOSFETはLOCOSを素子分離に利用しているので占有領域は小さく、高集積化に有利であることが理解できる。

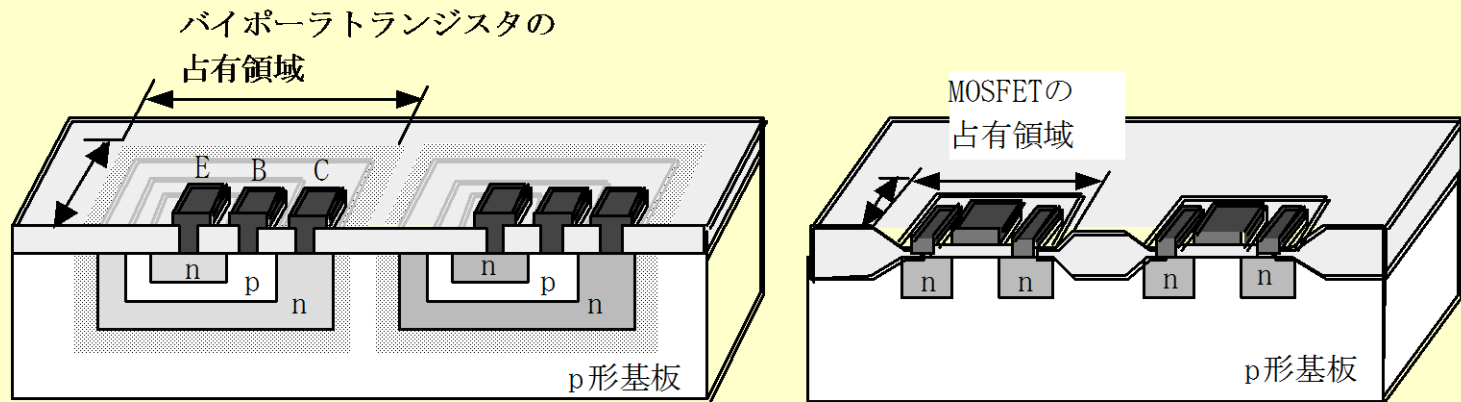


図6-7 バイポーラトランジスタとMOSFETの断面構造と占有領域

(1) CMOS集積回路

nチャンネルMOSFETとpチャンネルMOSFETを組み合わせたものである。

インバータ回路の動作について、入力電圧が高い場合、増幅用のnチャンネルFETがオン、負荷用のpチャンネルFETがオフする。したがって出力は低い電圧になる。次に、入力電圧が低いときは、動作は逆になる。オンとオフの状態ではほとんど電流が流れず、状態が切り換わる時だけ電流が流れるので、低消費電力である。

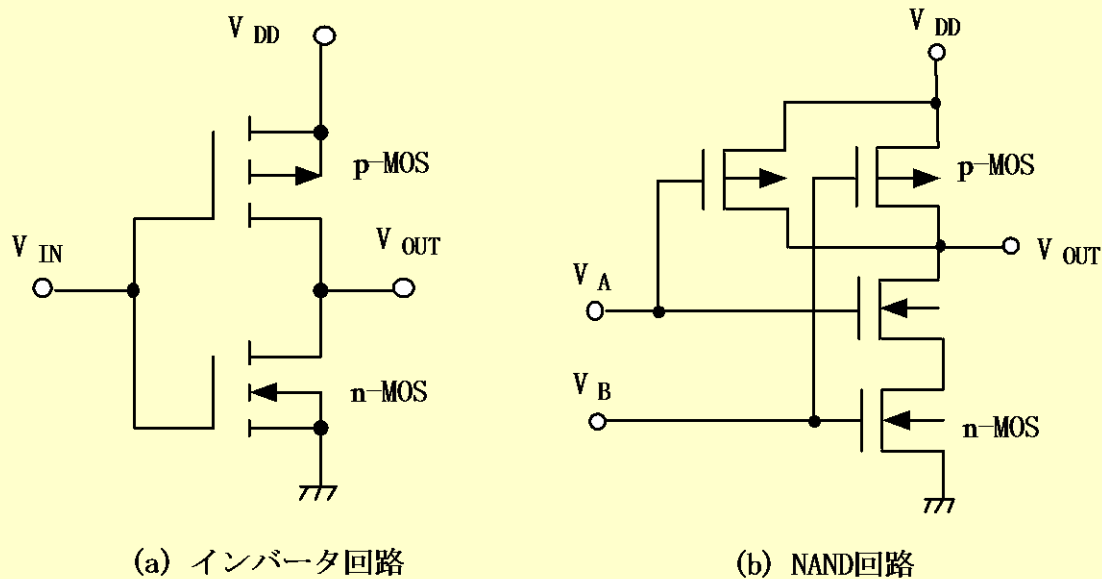


図6-8 CMOS集積回路

(2) 半導体メモリ

呼出しメモリ(RAM), 読出し専用メモリ(ROM), フラッシュメモリに大別される.

①RAM

RAMは読み書きが可能なメモリで, 呼出し時間がメモリセルのアドレスによらず一定である.

スタティックRAM(SRAM): バイポーラトランジスタとMOSFETで構成される. 一般に高速であるが, 消費電力が大きく, 集積度が低い.

ダイナミックRAM(DRAM): 大容量, 低消費電力, 低価格であるが, 低速であることと, リフレッシュ動作が必要である.

②ROM

ROMは読出し専用メモリであり(書込み不可, または書き換えに高電圧などが必要), 電源を切っても記憶情報を保持できる.

マスクROM: 製作時に決定するのをといい, 記憶内容の変更は不可能

PROM: 製作後に書込みが可能なもの(破壊的動作, 非破壊的操作)

EPROM: 紫外線照射により記憶を消去し, 再書込みができる.

EEPROM: 電氣的に消去・再書込みのできる.

③フラッシュメモリ

フラッシュメモリ (flash memory) は書き換えによる劣化を抑え、ブロック単位で高速に消去を行う電氣的に書換え (書込み / 消去) 可能な不揮発性メモリである。書込みは加速した電子 (ホットエレクトロン) の注入を、消去にはトンネリング現象を用いている。スタックゲート形のセルを図に示す。

フローティングゲートに蓄積された電荷の有無によりトランジスタの閾値が変化することを利用して記憶を行う。

書込み時はゲート、ドレインに高電圧を与え、ソースを接地してホットエレクトロンをフローティングゲートに注入する。消去は、ソースに高電圧、

ゲートを接地、ドレインを開放してトンネリング現象によりフローティングゲートから電子を引き抜く。このような動作原理からゲート酸化膜は非常に薄く作らなければならない、高度な製造技術を要する。

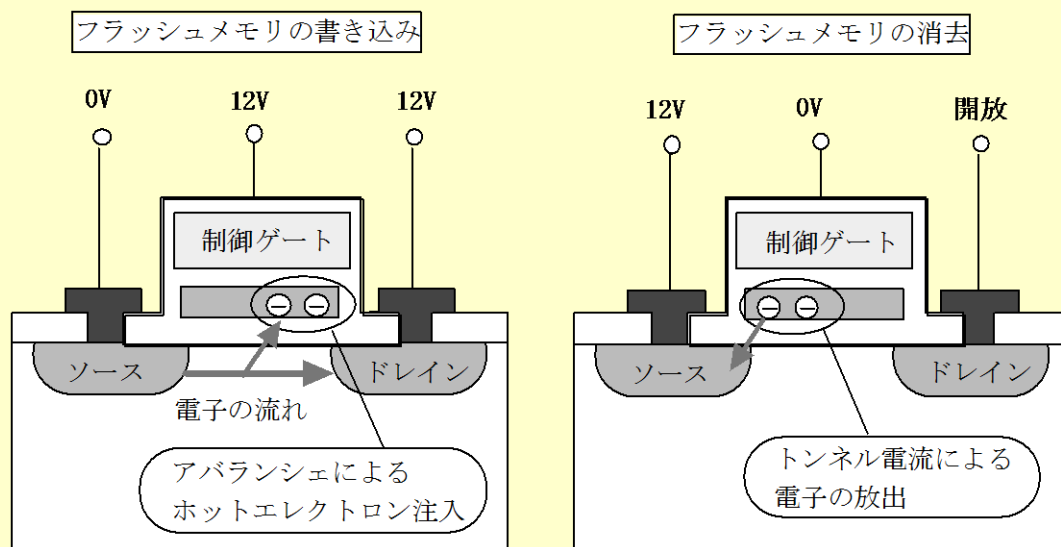


図6-9 フラッシュメモリセル (スタックゲート形)

6.4 Bi-CMOS回路

Bi-CMOS (bipolar complementary MOS) 回路は、バイポーラ集積回路とCMOS集積回路を組み合わせたもので、バイポーラ集積回路の持つ高速性、大電流駆動能力、アナログ処理能力とCMOS集積回路の微細化、低電力性を兼ね備えている。図に示すように出力段につけたバイポーラトランジスタで回路の寄生容量の充放電を行うことで、伝播遅延時間を従来のデバイスに比べて50%程度に低減できる。また、アナログ回路をバイポーラトランジスタで、デジタル回路をCMOSでそれぞれ分担して混載することにより、コンピュータに加えて、通信や自動車等の民生機器への幅広い応用が可能となった。

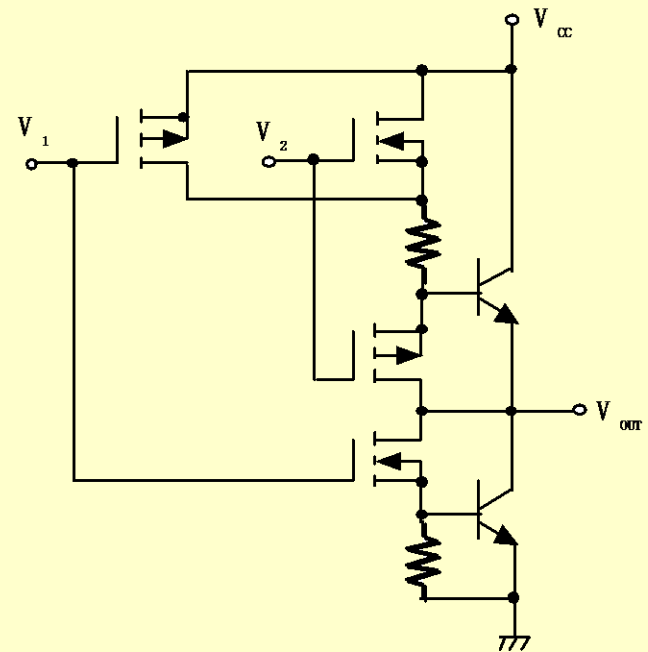


図6-10 Bi-CMOS集積回路

6.5 集積回路設計技術

集積回路は、トランジスタをはじめたくさんの素子により構成される。また、製作後に回路を変更することができないので、普通の電子回路を設計するようなカット・アンド・トライでは設計できない。現在の大規模な集積回路の設計には、電子計算機の活用が必要不可欠である。

まず計算機を用いた、回路設計、シミュレーション、パターンレイアウトを行う。次に設計されたレイアウトに応じた数枚のフォトマスクが作られ、このマスクに応じた工程が順に繰り返されることにより設計通りの集積回路が完成する。

(1)回路設計技術

アナログ集積回路の設計

個別素子でのと同様に、基本的には設計者が計算機上で個別素子を接続して回路の設計を行うことが多い。むしろ、CADを用いたシミュレーションや設計資産を活用することにより大規模集積回路の設計を容易にしている。集積回路では物理的な制約がある。例えば、①容量や高抵抗を集積回路上に設けると占有面積が大きくなる ②微少なインダクタンスしか作れない ③素子定数の確度が低い、などである。

デジタル集積回路の設計

アーキテクチャ設計，論理回路設計，トランジスタ回路設計の3つの階層に分けて行うのが一般的である。ハードウェア記述言語(HDL)を用いた回路記述と論理合成，及び検証ツールが用いられる。

多くの半導体メーカーはよく利用される機能ブロックや基本論理ゲートをマクロライブラリとして用意しており，ユーザーはこれらを用いて論理設計を行えばよい。また，設計資産(IP)を組み合わせることにより多種多様な集積回路が短期間に設計できるようになっている。

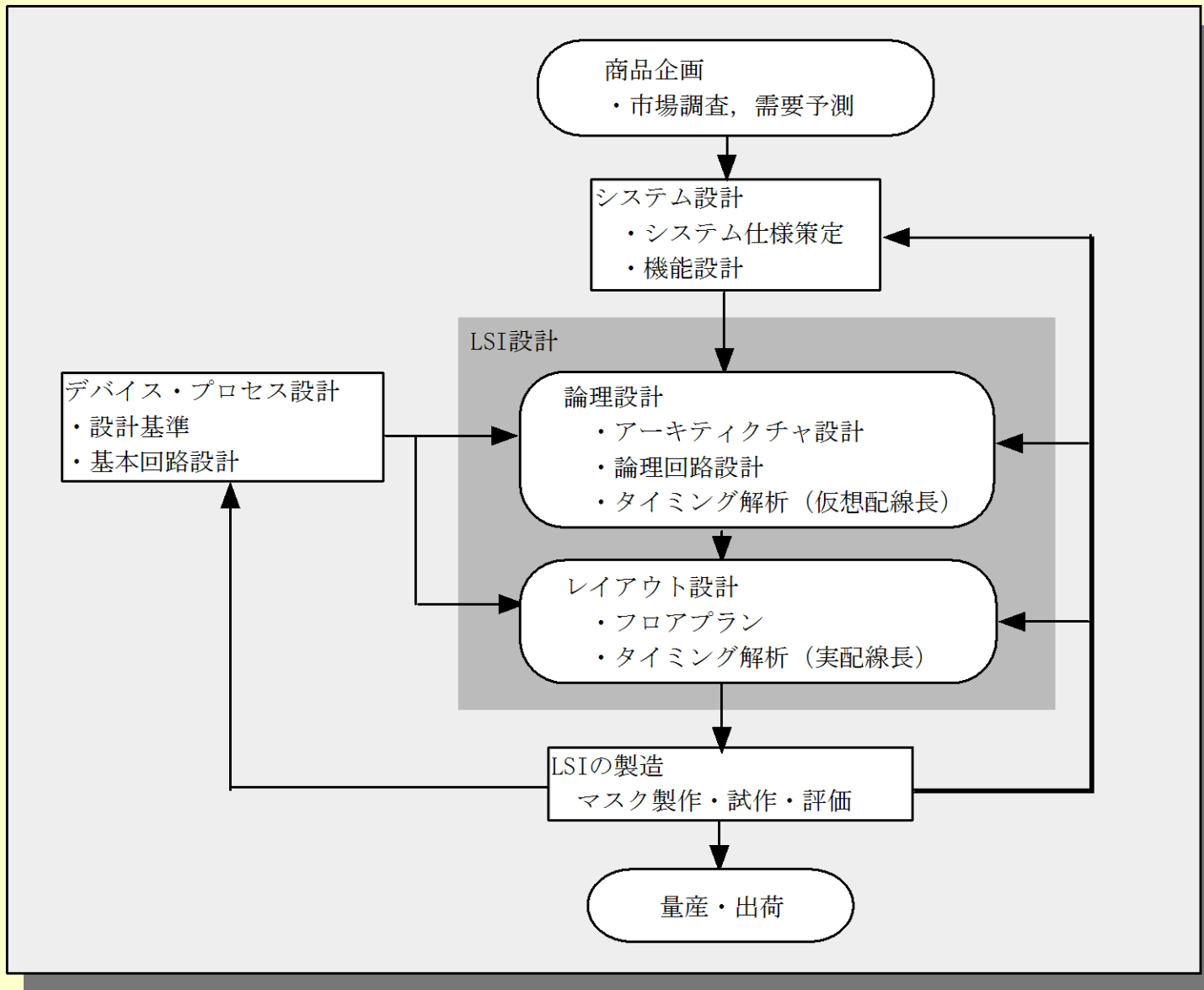


図6-11 集積回路開発の流れ図

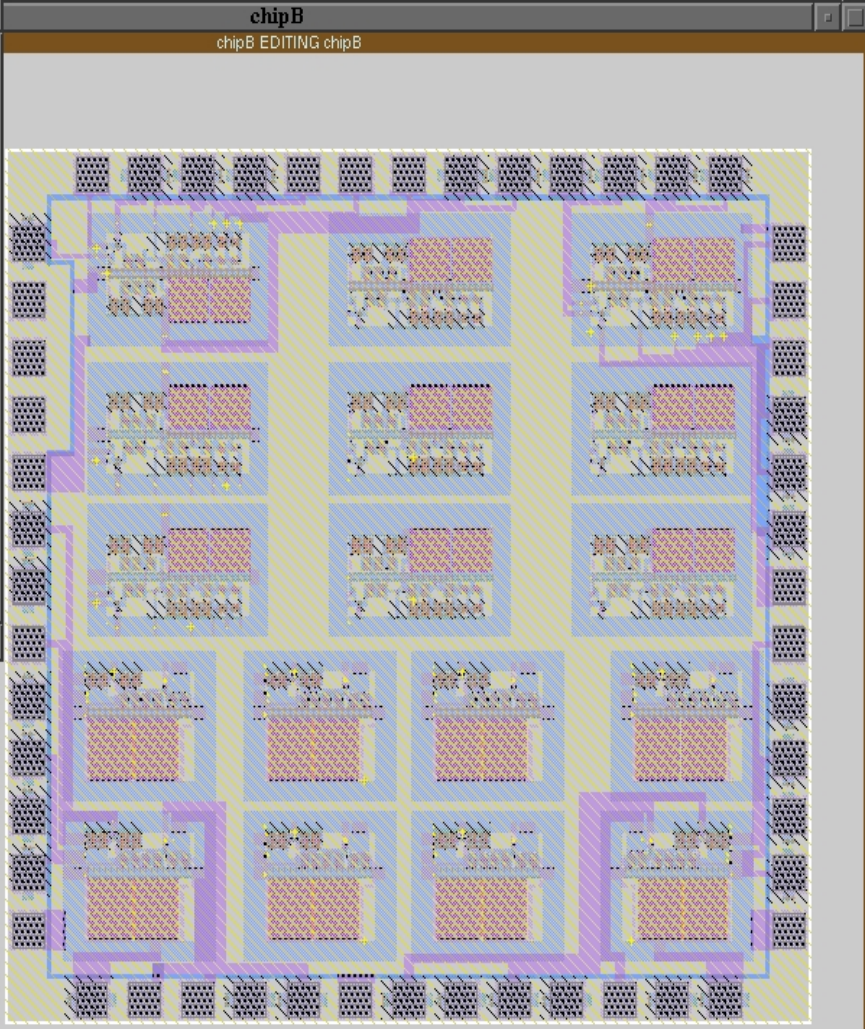
```
kterm
Using technology "motorol
N-well , P+S/D version
Using PseudoColor, Visual
Unrecognized macro name X
:quit
[eguti@eenem2 MOT01_2]# c
[eguti@eenem2 ~/MAGIC]# c
[eguti@eenem2 MOT01_1]# m

Magic 6.5.2 - Compiled on
CAD_HOME sets "~cad" to "

Using technology "motorol
N-well , P+S/D version
Using PseudoColor, Visual
Unrecognized macro name X
:quit
[eguti@eenem2 MOT01_1]# magic -T active chipB

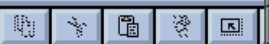
Magic 6.5.2 - Compiled on Thu Feb  1 13:15:38 JST
2001.
CAD_HOME sets "~cad" to "/cad-try/".

Using technology "motorola", version 1.2.0.
N-well , P+S/D version
Using PseudoColor, VisualID 0x20 depth 8
Unrecognized macro name XK_KP_Delete
>|
```



UNREGISTERED
Display
Root

480x270 image. 8-bit mode



A Crop UnCrop AutoCrop About XV Quit

Horz Vert Off Kterm Mule 終了

(2) シミュレーション技術

アナログ集積回路は複雑で非線形な電子回路であり、回路動作は計算機シミュレーションにより解析するのが通例である。数値計算により解析を行うソフトウェアでは、カリフォルニア大学(バークレイ校)で開発されたSPICEが有名であり、回路のノードを指定し、そこに接続されるエレメントを等価回路の形で与えて数値解析を行う。現在はCADベンダーがこれを独自に発展させたものが様々な製品として提供されている。

デジタル集積回路の動作検証には論理シミュレーションが用いられる。しかしながら、現在の集積回路の大規模化、高速化の要求により、論理シミュレーションによる検証だけでは論理設計通りの動作は保証されない。論理素子間の接続の不具合、高速動作時の寄生素子による信号の伝搬遅延の影響等により最終的にはアナログ的な回路検証が要求され、デジタル・アナログ混在の回路シミュレータ等が開発されている。

これらのシミュレーションは、設計技術と密接に繋がっているので、切り離して考えられず、集積回路設計の各段階において適当なシミュレーション技術が利用されている。

(3)パターンレイアウト設計 (1)

レイアウト設計とは、目的とする回路を実現するため、拡散、コンタクトホール、アルミ配線などのパターンを具体的に配置、構成することをいう。LOCOS構造により素子分離されたポリシリコンゲートn-MOSFETのマスクレイアウトとその断面構造の例を図6-13示す。また、図6-14は同じn-MOSFETをポジ形フォトリソにより製作した場合に使用するフォトマスクの一例である。

レイアウト設計は、回路設計とともに出来上がった素子の能力や価格までも左右する。ここで重要な項目としては、①論理設計通りの機能、性能を満たす ②小さなチップサイズにする ③安価で短期間に完了する などである。

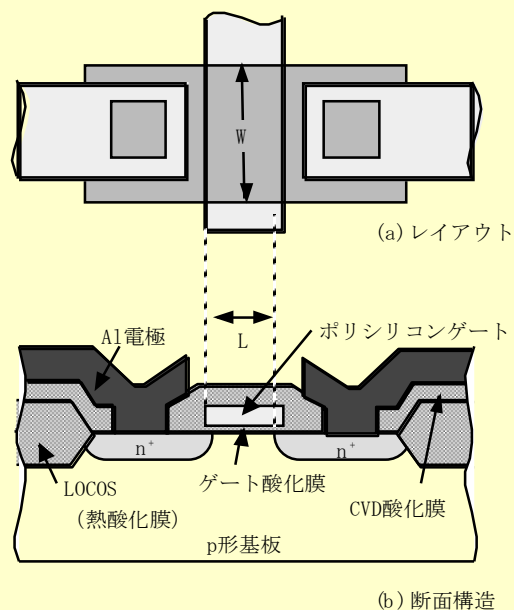


図6-13 n-MOSFETのレイアウトと断面構造の関係

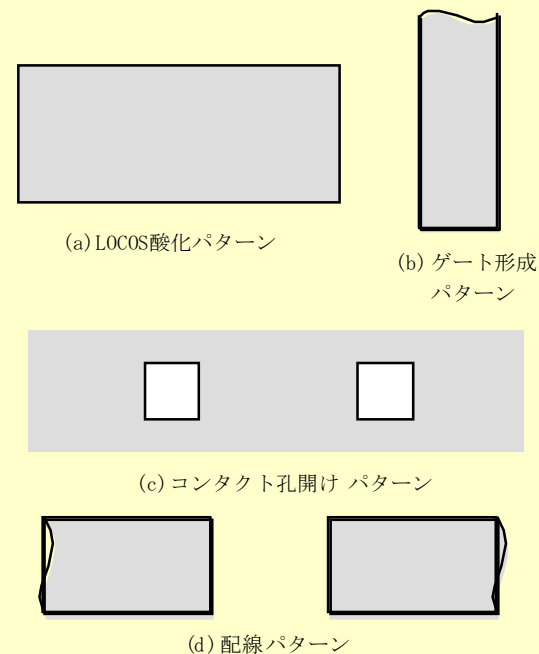


図6-14 n-MOSFETのフォトマスク (ポジ形レジスト用)

(3)パターンレイアウト設計

(2)

レイアウト設計では、数層から十数層の複雑な二次元パターンを扱うため、CADによる設計支援ツールが早くからとり入れられている。

半導体製造技術による寸法的な制約事項(デザインルール)をもとに作業が行われる。IC製作プロセスの種類、製作ラインの種類、ICの種類などによってデザインルールは当然異なってくる。また半導体メーカーは、論理設計で用いられる機能ブロックや基本論理ゲートのレイアウトもライブラリとして用意している。

最初に、フロアプランニングと呼ばれる論理ブロック、論理セルの概略配置計画を行う。その後、論理ブロック、論理セル、I/Oセル(外部との配線)の配置とこれらの配線を行う。配置・配線処理はセミカスタム方式のLSI設計においては設計支援ツールによってほとんど自動化されている。

レイアウトの検証には次の2要素がる。一つはデザインルールチェック(DRC)と呼ばれるもので、幾何学的な寸法と位置関係等を確認するものである。他方は、電気的な接続の確認として、LVSやERCと呼ばれる手法である。レイアウトを決定すると、より現実に近い寄生素子分を見積もることができる。これを含めて回路シミュレーションし、レイアウトを完成させる。

演習問題

- 問1 論理集積回路においてはMOS型集積回路の方がバイポーラ型と比較して広く用いられている。この理由を考えよ。
- 問2 パーソナルコンピュータの主記憶装置にはどのようなメモリが使われているか調べよ。
- 問3 デジタルカメラの記憶素子にはどのタイプのメモリが主に使われているか調べよ。
- 問4 パーソナルコンピュータに用いられている主要なLSIについて調べよ。