

半導体デバイス工学 講義資料

第5章 ユニポーラデバイス

(p. 80～p. 100)

5. ユニポーラデバイス

5. ユニポーラデバイス

5.1 分類と特徴

5.2 MOS形電界効果トランジスタ

5.2.1 MOS構造の性質

5.2.2 MOSFETの電気的特性

5.3 接合形電界効果トランジスタ

5.4 MES形電界効果トランジスタ

5.5 HEMT

5.1 分類と特徴

ユニポーラデバイス:

電子または正孔どちらか1種類のキャリアが伝導に寄与しているデバイス

代表的なユニポーラデバイスは電界効果トランジスタ(FETと略記)で, 入力電圧によって出力電流を制御する半導体デバイスである. この分類は,

- ① MOSFET (metal-oxide-semiconductor field effect transistor)
- ② 接合形FET(junction field effect transistor; JFET)
- ③ MESFET (metal- semiconductor field effect transistor)
- ④ HEMT (high electron mobility transistor)

FETの特徴としては,

- ① 逆方向にバイアスされたpn接合, ショットキー接触, または酸化物で絶縁されたゲートを入力に用いるので, 入力インピーダンスがきわめて大きい.
- ② 多数キャリアが動作に寄与し, キャリア寿命や再結合の影響を受けにくい.
- ③ 一般に, バイポーラ型に比べて製作工程が少なく, 微細化も可能である. などがある.

5.2.1 MOS構造の性質

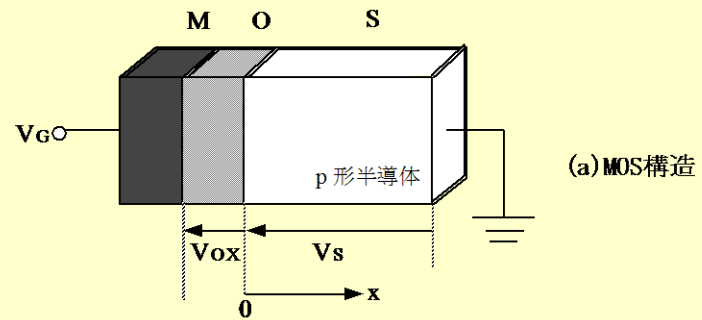
MOS構造: 金属-酸化膜-Si半導体が積層した構造

酸化膜は, 良好な界面特性を持つSi酸化膜が用いられる. 金属に印加される電圧 V_G の大きさと極性によってMOS構造には種々の変化が生じる.

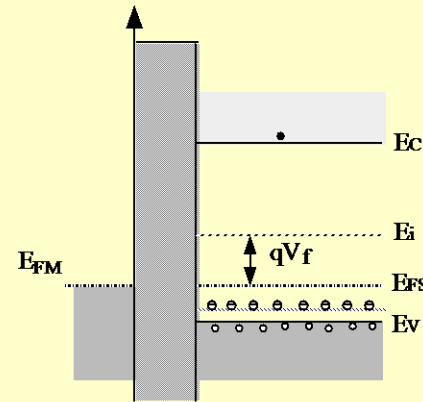
qV_f は禁制帯の中央のエネルギー準位(E_i)とp形半導体のフェルミ準位(E_{FS})との差であり半導体の不純物濃度により決まり, p形半導体の場合, アクセプタ濃度を N_a とすると, V_f は次式で表される.

$$V_f = \frac{\kappa T}{q} \ln \frac{N_a}{n_i} \quad (5.1)$$

V_{ox} : 酸化膜にかかる電圧,
 V_s : p形半導体にかかる電圧



(a) MOS構造



(b) $V_G = 0$ の時のエネルギー帯図
 ($E_{Fmetal} = E_F$ の場合)

図5-1 MOS構造とそのエネルギー帯図

(1) V_G が負の場合(蓄積層の形成)

p形半導体に対して金属に負電圧を加えた場合

p形半導体の多数キャリアである正孔が電界に引かれて半導体表面(酸化膜と半導体の界面)に集まる. このように表面は正孔が蓄積されて, より高濃度なp形半導体(p^+)になる. これを多数キャリアの蓄積といい, p^+ 層のことを蓄積層と呼んでいる.

蓄積層の形成により半導体表面の導電率は増加する.

正孔が表面に集まるために表面付近の準位は上側に曲がる.

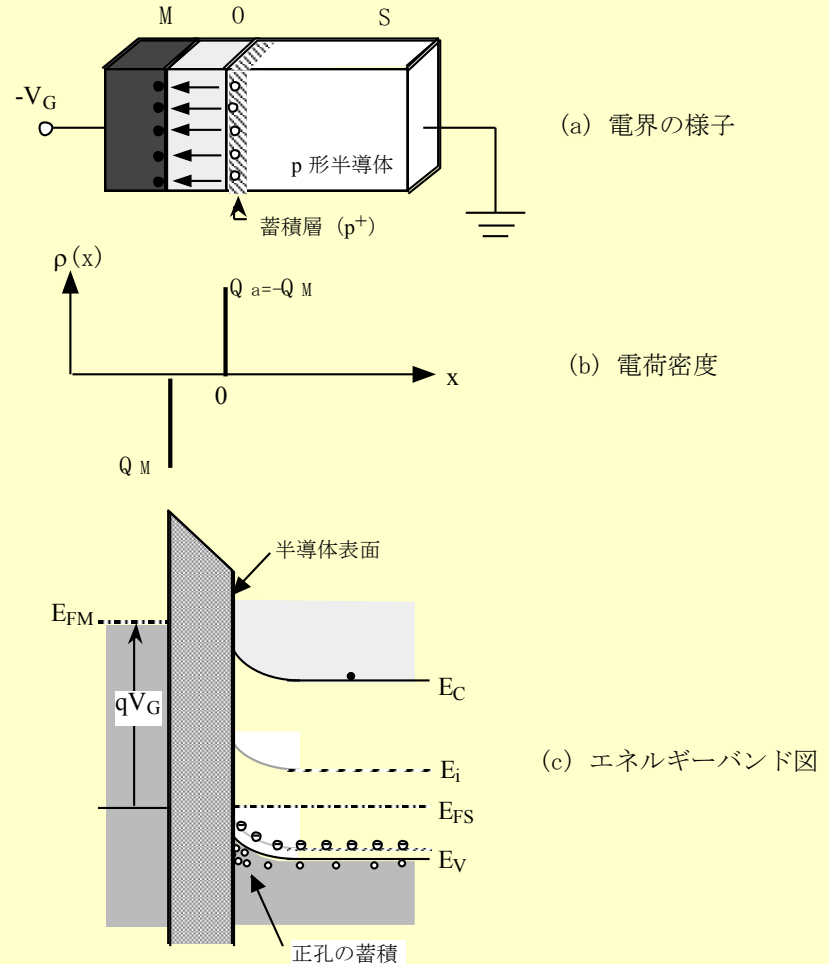


図5-2 蓄積層が形成されている場合のエネルギー帯図

(2) V_G が正の場合(空乏層の形成)

金属に正の電圧を加えた場合

正孔が電界によって半導体表面から遠ざけられ、表面には負電荷を持つアクセプタイオンが残り、空乏層が生じる。

単位面積あたりの金属表面の電荷を Q_M 、空乏層の電荷を Q_S とすると $|Q_M| = |Q_S|$

また、半導体表面のエネルギーバンドは V_s だけ下側に曲がり、空乏層は半導体側に x_d 広がっている。 Q_M は $Q_M = -qN_a x_d$ (5.2)

ポアソンの方程式を用いると V_s が計算できる。電荷密度は式(5.2)、境界条件を

$$x=0 \text{ で } V(0)=V_s,$$

$$x=x_d \text{ で } V(x_d)=0, \quad dV/dx=0 \text{ として解くと,}$$

$$V(x) = V_s \left(1 - \frac{x}{x_d}\right)^2 \quad V_s = \frac{qN_a x_d^2}{2\epsilon_{si}\epsilon_0} \quad (5.3)$$

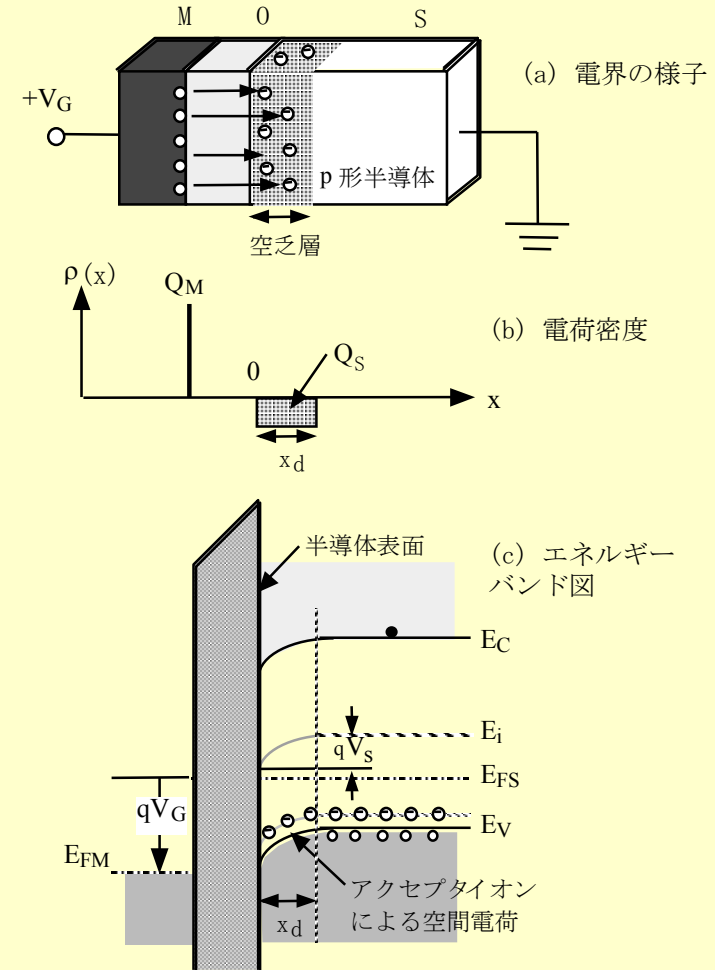


図5-3 空乏層が形成されている場合のエネルギー帯図

(3) V_G が正で大きい場合(反転層の形成) (1)

金属電極の正の電圧を大きくした場合

強い電界で半導体表面に電子が引き寄せられ、ある電圧を境として表面がn形化する。これを反転層と呼ぶ。それ以降、 V_G の増加に対して反転層内の電荷が増加するので、空乏層は最大幅 x_{dMAX} 以上には広がらなくなる。

Q_M は空乏層の電荷 Q_{SMAX} と反転層の電荷 Q_n の和で表され、

$$|Q_M| = |Q_{SMAX} + Q_n| \quad (5.4)$$

Q_{SMAX} は一定値をとり、その後の Q_M の増加で反転層の電荷 Q_n が大きくなる。つまり、 V_G の増加によって反転層の導電率が制御できる。

この反転層を伝導チャネルとして用いたのがMOSFETである。

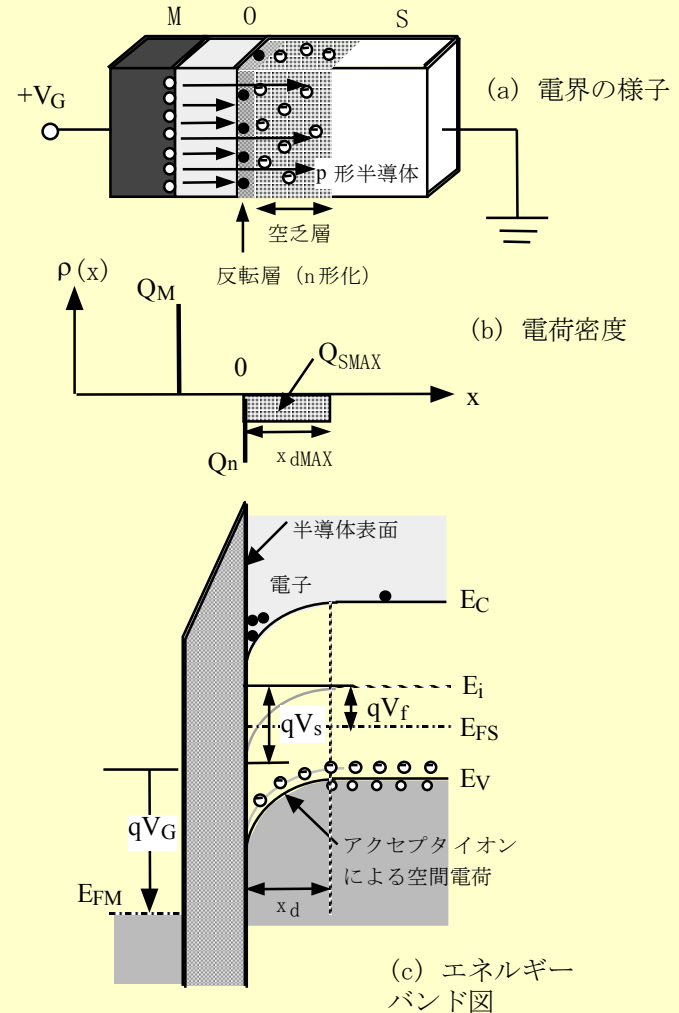


図5-4 反転層が形成されている場合のエネルギー帯図

(3) V_G が正で大きい場合(反転層の形成) (2)

反転層がされる電圧と反転層内の電荷量

qV_f だけエネルギーバンドが下方に押し曲げられ、禁制帯の中央(E_i)が半導体のフェルミレベル E_{F_s} より下に位置する時($V_s > V_f$)から、原理的にはp形半導体の表面がn形化しはじめる。この状態を弱い反転状態と呼ぶ。

一般には、p形基板の正孔密度と同密度となるまで表面に電子が誘起されたとき反転層が形成されたと定義し、対比してこの場合を強い反転状態と呼ぶ。この時の半導体表面の電位 V_{sinv} は、

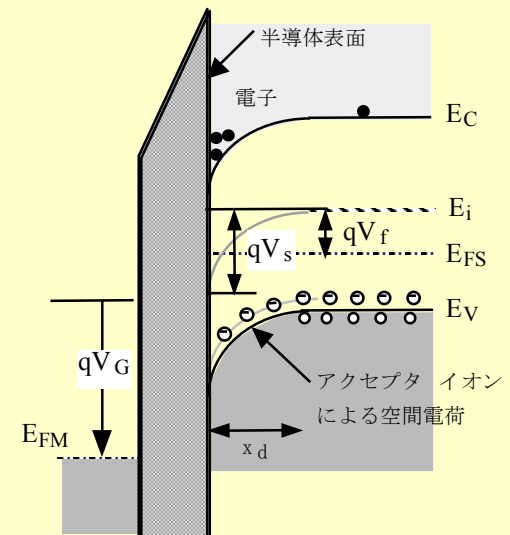
$$V_{sinv} = 2V_f \quad (5.5)$$

空乏層の最大幅 x_{dMAX} は、式(5.1)(5.3)(5.5)より

$$x_{dMAX} = \sqrt{\frac{2\varepsilon_{si}\varepsilon_0 V_{sinv}}{qN_a}} = 2\sqrt{\frac{\varepsilon_{si}\varepsilon_0 V_f}{qN_a}} \quad (5.6)$$

空乏層内の電荷 Q_{SMAX} は

$$Q_{SMAX} = -qN_a x_{dMAX} = -2\sqrt{q\varepsilon_{si}\varepsilon_0 N_a V_f} \quad (5.7)$$



(c) エネルギーバンド図

(3) V_G が正で大きい場合(反転層の形成) (3)

MOS構造が持つ単位面積当たりの静電容量は酸化膜の持つ静電容量 C_{ox} と半導体表面の空乏層の静電容量 C_d との直列合成容量 C となる。ここで、

$$C_{ox} = \epsilon_{ox} \epsilon_0 / x_{ox} \quad C_d = \epsilon_{Si} \epsilon_0 / x_d$$

電極に印加された電圧 V_G は、酸化膜と半導体に加わる電圧の和となるので、

$$V_G = V_{ox} + V_s = -\frac{Q_s}{C_{ox}} + V_s \quad (5.8)$$

反転層が形成される電圧をしきい値電圧 V_T と呼び、反転状態が起こったときの酸化膜にかかる電圧とバンドの曲がりの和で表される。空乏層が最大幅 x_{dMAX} をとることから次式となる。

$$V_T = \frac{qN_a x_{dMAX}}{C_{ox}} + 2V_f \quad (5.9)$$

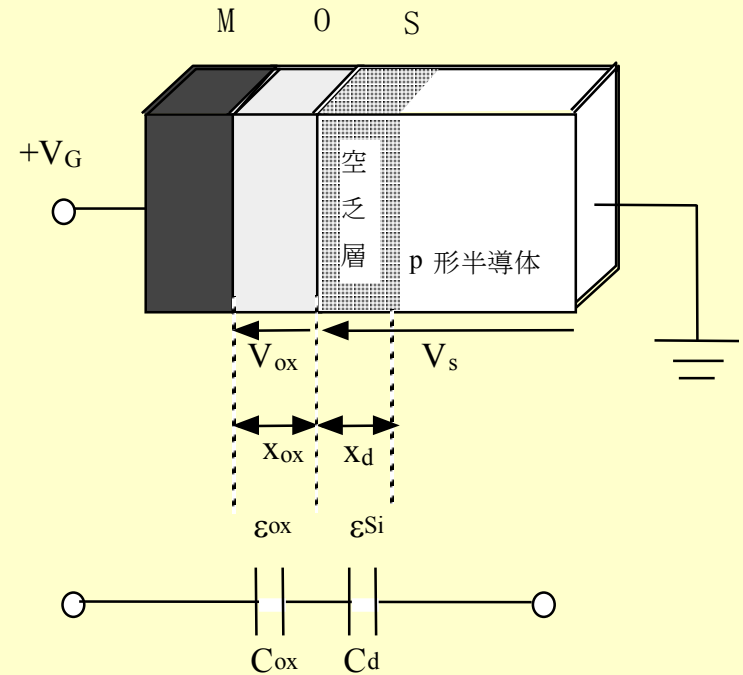


図5-5 MOS構造の静電容量

(3) V_G が正で大きい場合(反転層の形成) (4)

印可電圧と容量との関係について

酸化膜と空乏層の直列合成容量 C は、

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_d} \quad (5.10)$$

蓄積状態では、空乏層が形成されず、酸化膜による容量 C_{ox} のみとなる。

空乏状態のMOS容量は、

$$\frac{1}{C} = \frac{1}{C_{ox}} \sqrt{1 + \frac{2\varepsilon_{ox}^2 \varepsilon_0}{qN_a \varepsilon_{Si} x_{ox}^2} \cdot V_G} \quad (5.11)$$

V_T において空乏層は最大幅 x_{dMAX} で空乏層容量は最低値 C_{dMIN} をとり、合成容量も最低値 C_{MIN} となる。

$$C_{dMIN} = \varepsilon_{Si} \varepsilon_0 / x_{dMAX}$$

$$C_{MIN} = \frac{C_{ox} \cdot C_{dMIN}}{C_{ox} + C_{dMIN}} \quad (5.12)$$

低周波に対しては、ゲート電圧の変化に対して反転層内のキャリア濃度変化が追従するようになるので、曲線②の特性になる。

MOSFETでは、ソースから反転層へキャリアが供給されるので、同じく曲線②の特性となる。

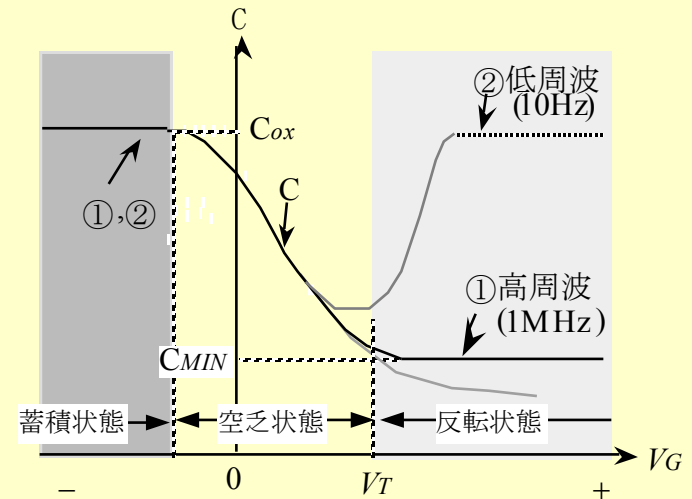


図5-6 MOS構造の容量-電圧特性

(3) V_G が正で大きい場合(反転層の形成) (5)

これまでは簡単化のために、金属とSi間の仕事関数の差はなく、酸化膜中や酸化膜とSi界面にも電荷はないと考えた。

実際には、それらが存在し、ゲート電圧が0でもエネルギーバンドに曲がりが生じている。ゲート電圧が印加されない時に半導体表面のエネルギーバンドの曲がりを補正するために必要な電圧をフラットバンド電圧(V_{FB})という。

V_{FB} は酸化膜中や界面に捕獲されている電荷を Q_{TR} 、 E_{FM} と E_{FS} をそれぞれ金属と半導体のフェルミ準位とすると、次式で表されることが知られている。

$$V_{FB} = \frac{1}{q} (E_{FM} - E_{FS}) + \left(-\frac{Q_{TR}}{C_{OX}} \right) \quad (5.13)$$

5.2.2 MOSFETの電気的特性(1)

MOSFETの構造

MOS構造により半導体表面にできる反転層を電流の流れる通路, すなわちチャンネルとして用いる.

反転層と同型になるようにMOS構造の左右にソース(S)及びドレイン(D)領域を形成してある. また, MOS構造の制御電極をゲート(G)という. 図のようにn形反転層がチャンネルになっているMOSFETをnチャンネルMOSFET, 反対にp形反転層がチャンネルになっているものをpチャンネルMOSFETという.

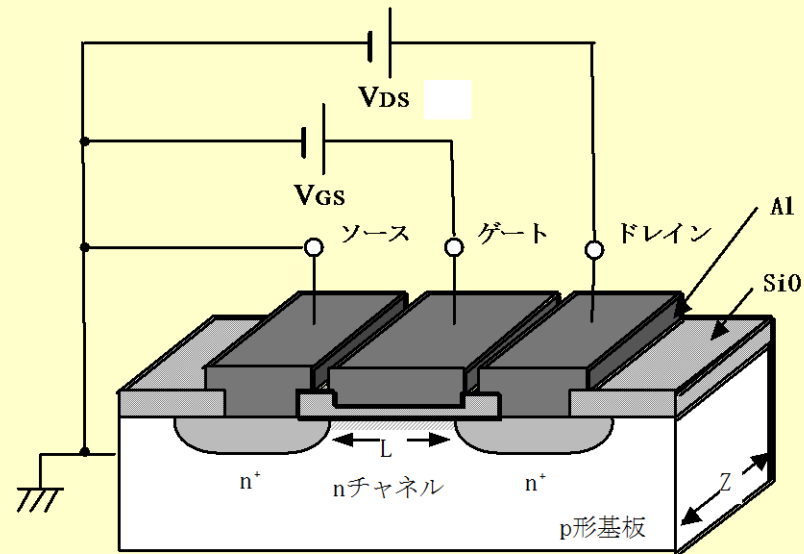


図5-7 MOSトランジスタの構造

5.2.2 MOSFETの電気的特性 (2)

反転層が形成された後 ($V_G > V_T$) の反転層内のキャリア濃度 Q_n は、式 (5.4), (5.8), (5.9) から次のように書ける。

$$Q_n = Q_M - Q_{SMAX} = C_{ox}(V_G - V_T) \quad (5.14)$$

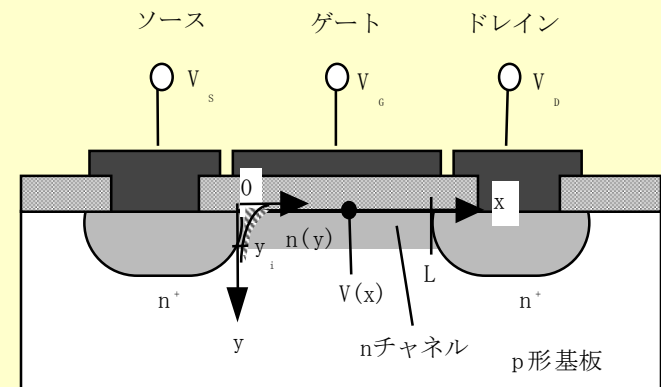
S-D間の電圧がゲート電圧に比べて十分小さいとき、反転層はゲート下に均等に形成され、チャネルの導電率は反転層に誘起されたキャリアの濃度に比例する。チャネルの寸法を L (長さ), W (幅) とすれば、S-D間のチャネルコンダクタンス g は電荷密度 $n(y)$ の分布を考慮して次式で表される。

$$g = \frac{W}{L} \int_0^{y_i} q\mu_n n(y) dy \quad (5.15)$$

積分項は、単位面積あたりの電荷 Q_n を使って表すことができ、さらに式 (5.14) を用いて、

$$g = \frac{W}{L} \mu_n Q_n(inv) = \frac{W}{L} \mu_n C_{ox}(V_G - V_T) \quad (5.16)$$

チャネルコンダクタンスは C_{ox} と $(V_G - V_T)$ に比例し、 L に反比例することがわかる。



(a) 線形領域, $0 < V_D < V_G - V_T$

図5-8 MOSトランジスタの動作原理

5.2.2 MOSFETの電気的特性 (3)

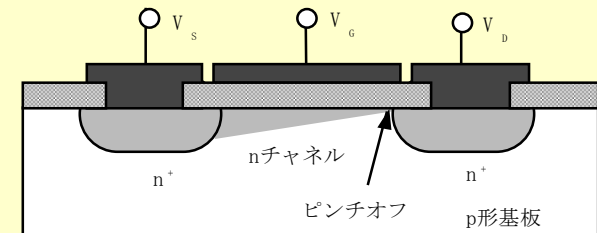
ピンチオフ

S-D間のバイアスを大きくすると反転層の電荷はゲート電極下で均一でなくなってくる。ドレイン側で基板とドレインのpn接合に逆方向電圧が加わるため空乏層が広がり、チャネルが狭くなる。ドレイン電流による電圧降下のためにチャネル内の電位も増加し、最終的にはチャネルを遮断する。これをピンチオフといい、そのときの V_{DS} をピンチオフ電圧という。

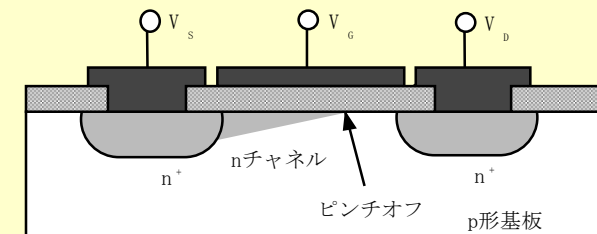
ピンチオフ電圧は $V_P = V_G - V_T$ で与えられる。

ピンチオフになると電流はそれ以上増えなくなり、 V_{DS} を増加してもピンチオフの点が移動するだけで電流値は殆ど変わらない。

ピンチオフ点からドレインまでは空乏層となっており、ここには逆バイアスがかかっているため、注入されたキャリアはドレインに排出されドレイン電流となる。



(b) ピンチオフ, $V_D = V_G - V_T$



(c) 飽和領域, $V_D > V_G - V_T$

図5-8 MOSトランジスタの動作原理

5.2.2 MOSFETの電気的特性 (4)

ピンチオフが生じる前のドレイン電流は、ソースからの距離 x における単位面積あたりの電荷を $Q_n(x)$ を用いて次式のようにかける。

$$I_D = W\mu_n Q_n(x) \frac{-dV}{dx} \quad (5.17)$$

$Q_n(x)$ と V_T との関係から

$$V_G = V_T - \frac{Q_n(x)}{C_{ox}} + V(x) \quad (5.18)$$

式(5-17)は次のように整理できる。

$$\frac{dV}{dx} = \frac{I_D}{W\mu_n C_{ox} \{V_G - V_T - V(x)\}} \quad (5.19)$$

この微分方程式を解くと、

$$I_D \int_0^{x=L} dx = -W\mu_n C_{ox} \int_{V=0}^{V=V_D} [V_G - V_T - V(x)] dV$$
$$\therefore I_D = \frac{W}{L} \mu_n C_{ox} [(V_G - V_T)V_D - \frac{1}{2}V_D^2] \quad (5.20)$$

$V_D \ll V_G - V_T$ ならば

$$I_D = \frac{W}{L} \mu_n C_{ox} (V_G - V_T)V_D \quad (5.21)$$

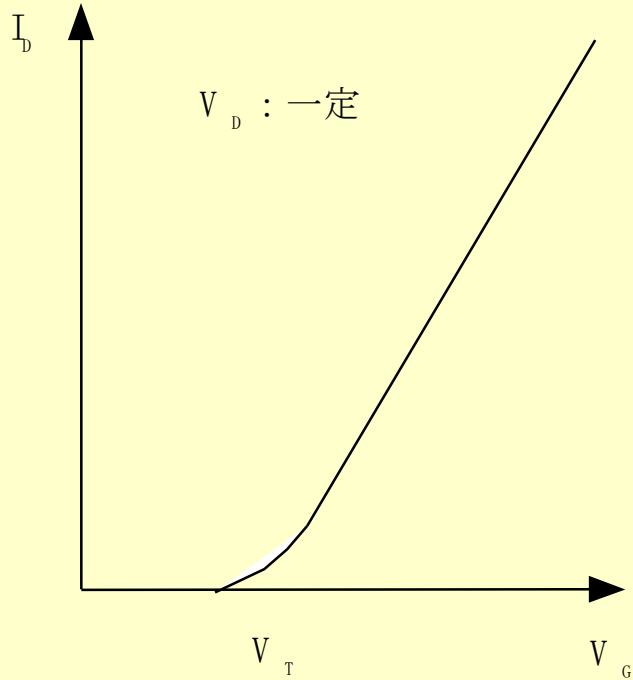
となり、この結果は式(5-16)と一致する。このような、ドレイン電流がドレイン電圧に比例する領域を線形領域という。

ピンチオフが生じたときドレイン電流は最大値 I_{Dmax} をとる。 $V_D = V_G - V_T$ として、

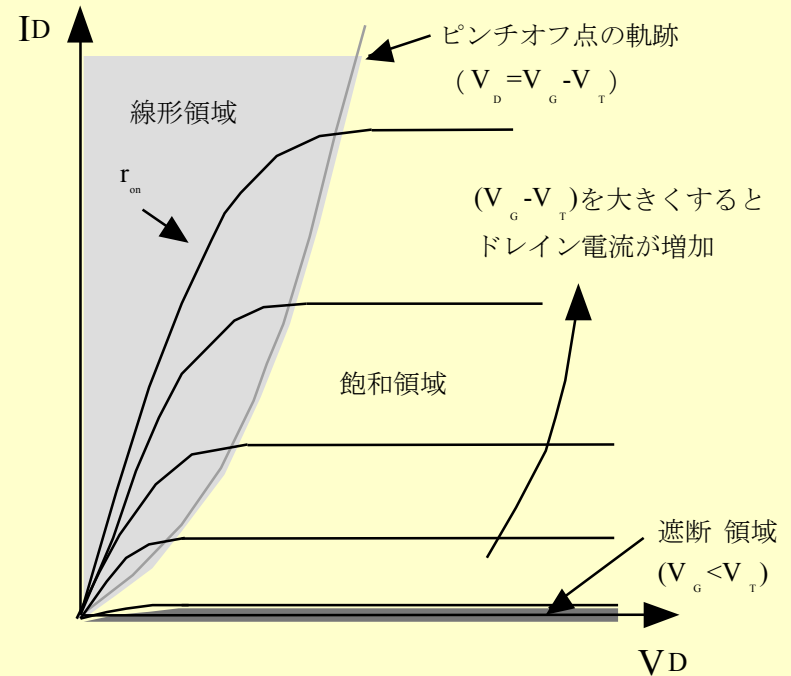
$$I_{Dmax} = \frac{W}{2L} \mu_n C_{ox} (V_G - V_T)^2 \quad (5.22)$$

$V_D > V_G - V_T$ のときは、ピンチオフ点がソース側に移動するだけで、ドレイン電流は変化しない。この領域を飽和領域という。

5.2.2 MOSFETの電気的特性 (5)



(a) MOSFETの伝達特性



(b) MOSFETの出力特性

5.2.2 MOSFETの電気的特性(6)

pチャネルMOSFETの電気的特性

ソースに対するゲートとドレインの印加電圧を逆にすれば同様に考えることができ、図に示すような伝達特性となる。

不純物の注入によってチャネルを最初から形成しておくこともできる。この場合、ゲート電圧が0でもドレイン電圧が流れる。

エンハンスメント形

ゲート電圧の印可によりドレイン電流が流れ始めるもの

デプレッション形

ゲート電圧が0Vでもドレイン電流が流れるもの

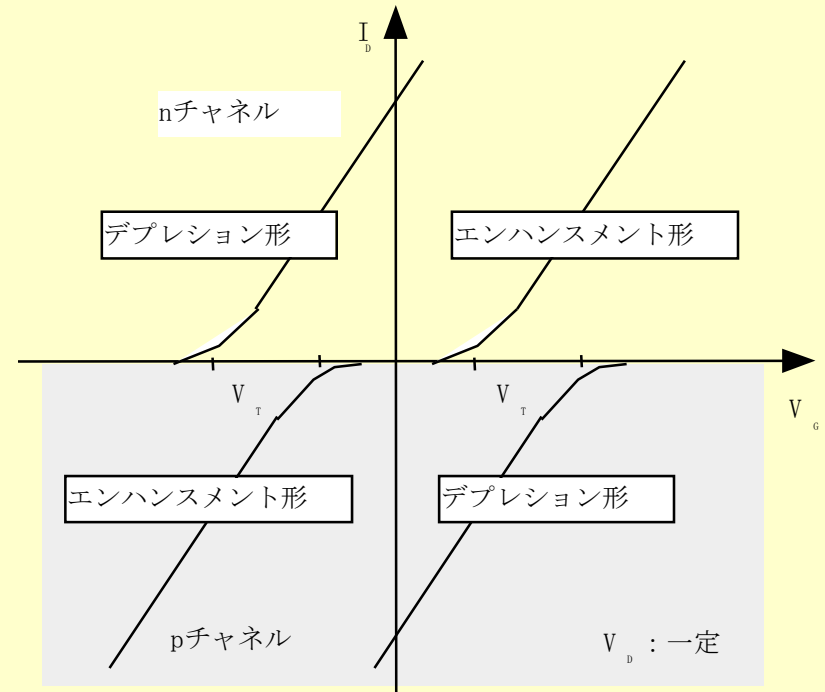


図5-10 MOSFETの $V_G - I_D$ 曲線

5.2.2 MOSFETの電気的特性 (7)

ゲートは電氣的に絶縁されており，入力電流は殆ど流れないので，MOSFETの電流増幅作用は考えられない．FETの増幅動作を表す場合は，入力電圧と出力電流との関係である伝達特性を用いる．伝達特性を表すパラメータとして相互コンダクタンス(g_m)を次式のように定義する．

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_D = \text{const.}} = \frac{W}{L} \mu_n C_{ox} V_D \quad (5.23)$$

g_m の値は，通常0.5～数mSである．MOSFETは入力電圧によって出力電流を制御する素子である．MOSFETの入カインピーダンスはきわめて高く，またソース・ドレイン間の出カインピーダンスも比較的高いユニポーラデバイスである．

表5-1 ユニポーラデバイスとバイポーラデバイスとの比較

項目	バイポーラトランジスタ	nチャンネルMOSFET
キャリアの輸送	拡散	ドリフト
主要なキャリア	少数キャリア	多数キャリア
増幅率を表わす指数	α または β $\alpha \doteq \frac{1 + \frac{1}{2} \left(\frac{W}{L_e} \right)^2}{1 + \frac{\sigma_B}{\sigma_E} \cdot \frac{W}{L_k}}$	g_m $g_m = \frac{W}{L} \mu_n C_{ox} (V_G - V_T)$
増幅率の大きさ	$\beta \gg 1$, 大きい	g_m はあまり大きくない
入力インピーダンス	電流を流すことによって動作させるので、あまり大きくない	直流の入力インピーダンスは無限大
入出力特性	線形, $I_C = \alpha I_E = \beta I_B$	2乗特性 $I_{DS} = \frac{W}{2L} \mu_n C_{ox} (V_G - V_T)^2$

5.3 接合形電界効果トランジスタ (1)

接合型電界効果トランジスタ(JFET)の構造

比較的抵抗率の高い半導体の両端にオーム接触により形成されたソース(S)とドレイン(D)電極がある。これとは別に中央付近にpn接合により形成されたゲート(G)電極を持っており、ゲートで挟まれた電流経路がチャンネルとなる。図のようにn形半導体がチャンネルになっているものをnチャンネルJFET、逆にチャンネルがp形半導体のものをpチャンネルJFETという。

ゲート・ソース間には電流が流れないように逆バイアスを加え、ゲート電圧(V_{GS})により空乏層幅を変化させることによってチャンネル幅が制御される。そのため、ドレイン・ソース間電圧(V_{DS})によるドレイン電流がゲート電圧によって制御される構造となっている。

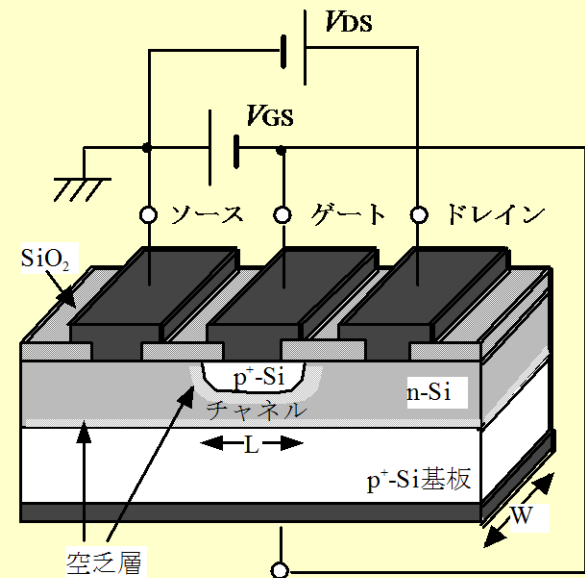


図5-11 接合型電界効果トランジスタの構造図

5.3 接合形電界効果トランジスタ (2)

ゲート領域の不純物濃度はきわめて高く、空乏層はチャンネル層に広がる。
 x におけるチャンネル電位を $V(x)$ とし、 $x \sim x+dx$ 間の抵抗を $dR(x)$ とすると、

$$dR(x) = \frac{dx}{q\mu_n n \{a - 2h(x)\} W} \quad (5.24)$$

式(3.28)を用いると空乏層 $h(x)$ は、

$$h(x) = \sqrt{\frac{2\varepsilon_{Si}\varepsilon_0}{qN_d} (V(x) + V_d - V_G)} \quad (5.25)$$

ドレイン電流 I_D は次式で与えられる。

$$I_D = \frac{dV}{dR(x)} = q\mu_n n (a - 2h(x)) W \frac{dV}{dx} \quad (5.26)$$

$n \doteq N_D$ として積分すれば、

$$\int_0^L I_D dx = q\mu_n n W \int_0^L (a - 2h(x)) \frac{dV}{dx} dx, \quad I_D = \frac{q\mu_n N_d W a}{L} \left[V_D - \frac{2}{3} \sqrt{\frac{8\varepsilon_{Si}\varepsilon_0}{qN_d a^2}} \left\{ (V_D + V_d - V_G)^{\frac{3}{2}} - (V_d - V_G)^{\frac{3}{2}} \right\} \right] \quad (5.27)$$

$V_D \ll (V_d - V_G)$ ならば、ドレイン電流はドレイン電圧にほぼ比例する。

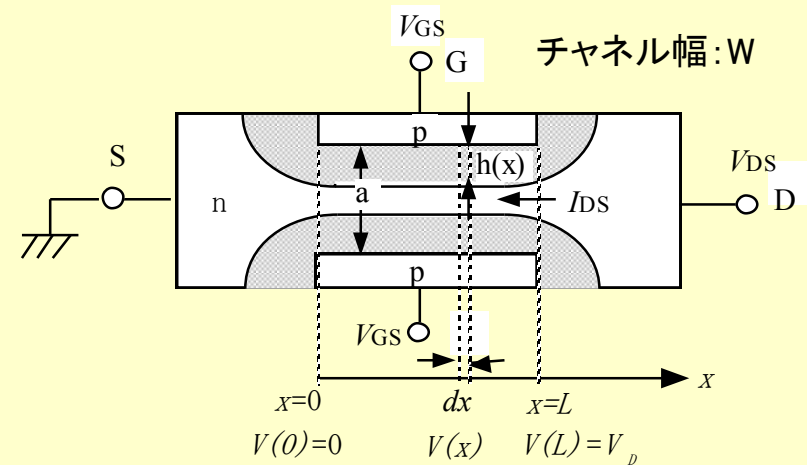


図5-12 接合型電界効果トランジスタの定量解析モデル

5.3 接合形電界効果トランジスタ (3)

$2h(L)=a$ でピンチオフとなり, このときの V_D を V_{Dsat} とすれば式(5.25)より,

$$V_{Dsat} = \frac{qN_d a^2}{8\epsilon_{Si}\epsilon_0} - V_d + V_G \quad (5.28)$$

飽和領域のドレイン電流 I_{Dsat} と伝達コンダクタンス g_m はそれぞれ次式となる.

$$I_{Dsat} = \frac{q\mu_n N_d W a}{L} \left[\left\{ \frac{2}{3} \sqrt{\frac{8\epsilon_{Si}\epsilon_0(V_d - V_G)}{qN_d a^2}} - 1 \right\} (V_d - V_G) + \frac{1}{3} \frac{qN_d a^2}{8\epsilon_{Si}\epsilon_0} \right] \quad (5.29)$$

$$g_{msat} = \frac{\partial I_{Dsat}}{\partial V_G} = \frac{q\mu_n N_d W a^2}{L} \left\{ 1 - \sqrt{\frac{8\epsilon_{Si}\epsilon_0(V_d - V_G)}{qN_d a^2}} \right\} \quad (5.30)$$

g_m の最大値は, $V_{GS}=0$ で I_D が飽和するまで V_{DS} が加わったときに得られ, 通常0.5~数mSである. g_m を大きくするには, 移動度と不純物密度の高い材料を用いると同時に, チャネル幅を大きく, チャネル長を小さくする.

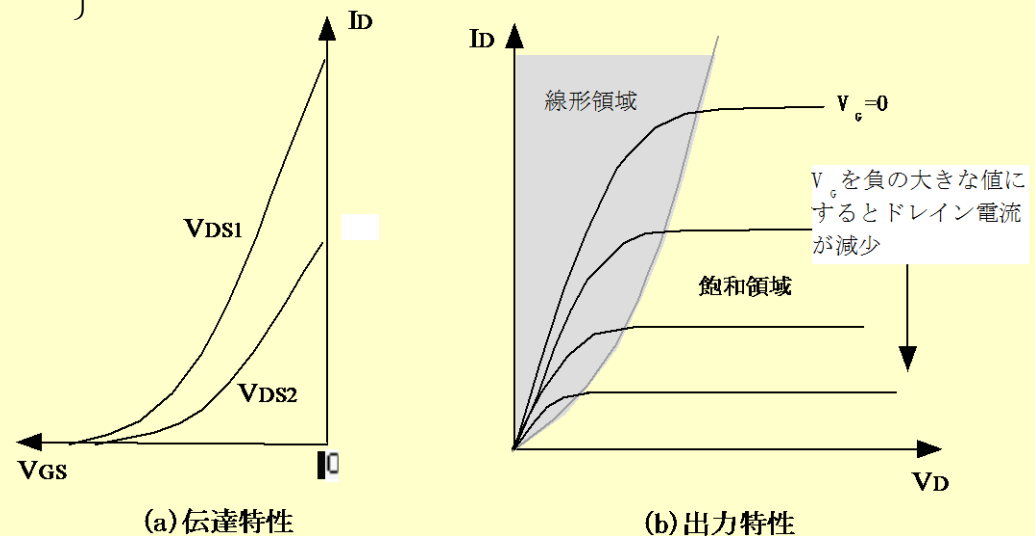


図5-13 JFETの電気的特性

5.4 MES形電界効果トランジスタ

GaAsなどの化合物半導体はSiと比較して電子の移動度が大きいので、デバイスの高速動作に有利であるが、Siに対するSi酸化膜のように良好な界面特性を持つ絶縁膜を形成できないので、ショットキー接触を利用したMESFETが作られている。n形GaAs半導体(電子がキャリア)の上に、ショットキー接触になるようにゲート電極が作られている。ソース及びドレイン電極はオーム性接触で作られている。図のようにソース電極を接地、ドレイン電極を正にバイアスした状態で、ゲート電極を変化(負バイアス)させることによって空乏層幅が伸縮でき、ドレイン電流が制御することができる。

MESFETは電圧制御形の電流増幅素子で、ゲート電極に整流性接触を使っていることを除けばSiのJFETと動作原理が同じである。化合物半導体を基板に用いてトランジスタを製作する場合、MES構造が唯一適しており、高速動作デバイスとして広く利用されている。

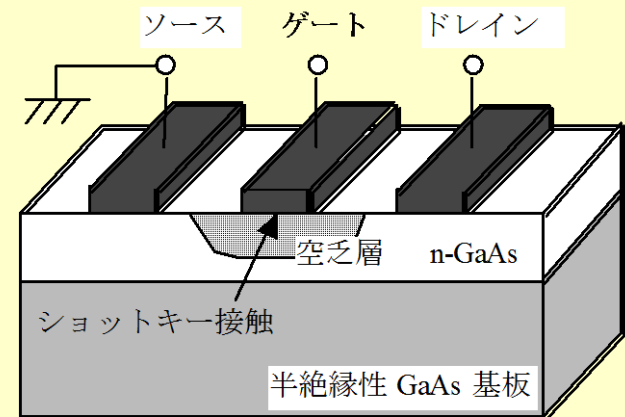


図5-14 MESFETの基本構造

5.5 HEMT

キャリアを供給する電子供給層 ($n\text{-AlGaAs}$) とキャリアが走行するチャネル層 (アンドープ GaAs ; 高移動度) が分離された構造を持つ超高速デバイス。ゲート電極はショットキー接触により形成される。

電子供給層から発生した電子が GaAs チャネル層表面に蓄積され、薄い2次元電子ガス層 (100 nm程度) を形成する。チャネル内で不純物散乱が起こらないので高速動作である。ゲートに印加する電圧によってヘテロ界面のポテンシャル障壁を制御し、2次元電子ガス層の電子密度を増減させることで動作する。 GaAs -HEMTの動作周波数は通常20GHz以上である。

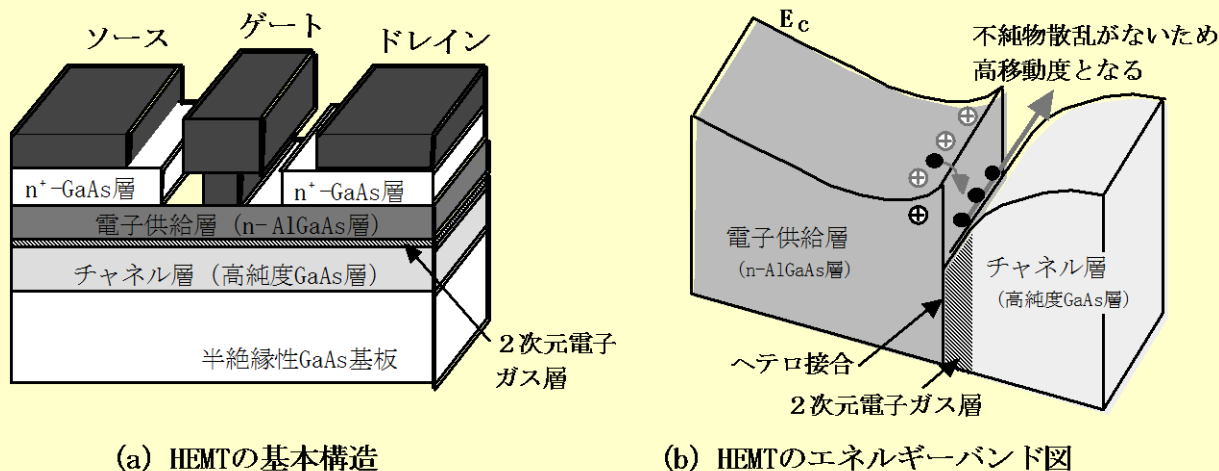


図5-15 HEMTの基本構造とバンド構造

演習問題

問1 金属-酸化膜-p形SiのMOS構造において、酸化膜厚が $0.1\ \mu\text{m}$ 、酸化膜とSiの比誘電率がそれぞれ3.8と12、p形Siのアクセプタ濃度は $10^{22}\ \text{m}^{-3}$ 、真性Siと仕事関数差は $0.35\ \text{eV}$ として、以下の問いに答えよ。ただし、フラットバンド電圧は0とする。

- (1) 酸化膜の静電容量を求めよ。
- (2) 強い反転状態における空乏層幅を求めよ。
- (3) そのときのMOS構造の等価容量(高周波特性)を求めよ。
- (4) しきい値電圧を求めよ。

問2 前問のMOS構造にソース、ドレイン電極を形成してMOSFETとした。チャネル幅を $10\ \mu\text{m}$ 、チャネル長を $1\ \mu\text{m}$ とし、チャネル内のキャリアの移動度を $0.07\ \text{m}^2/\text{Vs}$ として、ゲート電圧に 5V を加えた時、以下の問いに答えよ。

- (1) ドレイン電圧を 0.1V としてチャネルコンダクタンスと相互コンダクタンスをそれぞれ求めよ。
- (2) ピンチオフ電圧を求めよ。
- (3) ドレイン電圧 5V として飽和領域のドレイン電流を求めよ。

問3 pチャネルMOSFETについて次の設問に答えよ。

- (1) フラットバンド状態のエネルギー帯図を描け。
- (2) 蓄積状態のエネルギー帯図を描け。
- (3) 空乏状態のエネルギー帯図を描け。
- (4) 反転状態のエネルギー帯図を描け。